

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151276

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H05B 33/26
G09F 9/30
H05B 33/06
H05B 33/12
H05B 33/14
// G09G 3/20
G09G 3/30

(21)Application number : 2001-238812

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 07.08.2001

(72)Inventor : YAMAZAKI SHUNPEI

KOYAMA JUN

INUKAI KAZUTAKA

OSAME MITSUAKI

(30)Priority

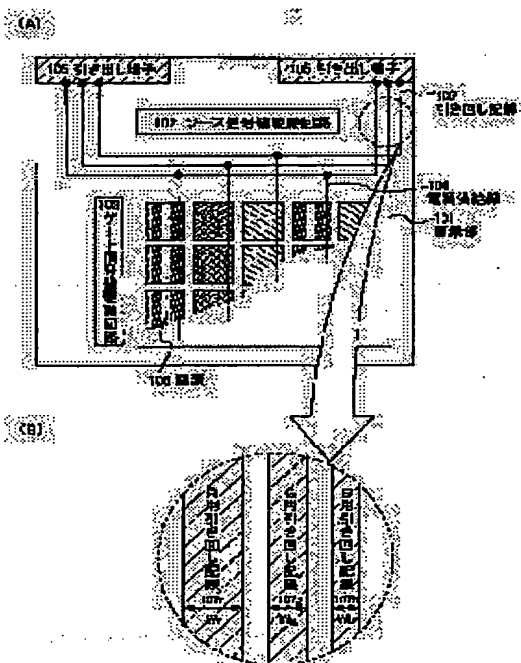
Priority number : 2000242718 Priority date : 10.08.2000 Priority country : JP

(54) DISPLAY DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device with a good balance between colors of EL elements and a good balance in emission intensity, which is capable of displaying brightly-hued images.

SOLUTION: The greater current the pixel needs to be passed in the EL element, the greater the width of pulled-around wire through which voltage or current is to be supplied to the element concerned. With this, the greater current the pixel needs, the smaller the wiring resistance gets of the pulled-around wire through which voltage or current is to be supplied to the element concerned. When the wiring resistance gets small, fall of potential gets small in the pulled-around wire, therefore, it becomes possible to make larger current to be passed through the EL element. In addition, since space for pulled-around wire is limited in an actual panel, the rate of width of the wire is changed for each color, and that is how balancing is made on current flowing on the EL element for each color.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the display which has two or more EL elements, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said external connection terminal and said two or more current supply lines are electrically connected through said two or more leading-about wiring. Said two or more current supply lines So that the absolute value of the current which flows said two or more current supply lines is large, when connecting with the pixel electrode which said two or more EL elements have electrically and making said two or more EL elements drive The display characterized by the width of face of said leading-about wiring of two or more connected to said two or more current supply lines, respectively being large.

[Claim 2] The display characterized by the width of face of two or more of said current supply lines being so large that the absolute value of the current which flows said two or more current supply lines being large in claim 1 when making said two or more EL elements drive.

[Claim 3] It is the display which has two or more pixels, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said two or more pixels Any one, the EL element, and TFT for switching of two or more of said current supply lines, It has TFT for EL drive and said TFT for switching is controlling switching of said TFT for EL drive. By said TFT for EL drive Any one potential of two or more of said current supply lines is given to the pixel electrode which said EL element has. Said external connection terminal and said two or more current supply lines are electrically connected through said two or more leading-about wiring. The display characterized by the width of face of said leading-about wiring of two or more connected to said two or more current supply lines, respectively being so large that the absolute value of the current which flows said two or more current supply lines being large when making said EL element drive.

[Claim 4] The display characterized by the channel width of the channel formation field which said TFT for EL drive has being so large that the absolute value of the current which flows said two or more current supply lines being large in claim 3 when making said EL element drive.

[Claim 5] The display with which the die length of the LDD field which said TFT for EL drive has is characterized by the *****, so that the absolute value of the current which flows said two or more current supply lines is large in claim 3 or claim 4, when making said EL element drive.

[Claim 6] The display characterized by the width of face of two or more of said current supply lines being so large that the absolute value of the current which flows said two or more current supply lines being large in any 1 term of claim 3 thru/or claim 5 when making said EL element drive.

[Claim 7] It is the display which has two or more EL elements, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said two or more EL elements A pixel electrode, It has EL layer prepared between the counterelectrode, and said pixel electrode and said counterelectrode, respectively. Said external connection terminal and said two or more current supply lines are electrically connected through said two or more leading-about wiring. Said two or more current supply lines Said two or more EL elements are electrically connected to said pixel electrode which it has, respectively. The display characterized by the width of face of said leading-about wiring of two or more connected to said two or more current supply lines, respectively being so large that the current density of said EL layer which said two or more EL elements at the time of making said two or more EL elements drive have, respectively being large.

[Claim 8] The display characterized by the width of face of two or more of said current supply lines being so large that the current density of said EL layer which said two or more EL elements at the time of making said two or more EL elements drive have in claim 7, respectively being large.

[Claim 9] It is the display which has two or more pixels, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said two or more pixels Any one, the EL element, and TFT for switching of two or more of said current supply lines, It has TFT for EL drive. Said EL element A pixel electrode and a counterelectrode, It has EL layer prepared between said pixel electrodes and said counterelectrodes, and

said TFT for switching is controlling switching of said TFT for EL drive. By said TFT for EL drive Any one potential of two or more of said current supply lines is given to the pixel electrode which said EL element has. Said external connection terminal and said two or more current supply lines are electrically connected through said two or more leading-about wiring. The display characterized by the width of face of said leading-about wiring of two or more connected to said two or more current supply lines, respectively being so large that the current density of said EL layer which said EL element at the time of making said EL element drive has being large.

[Claim 10] The display characterized by the channel width of the channel formation field which said TFT for EL drive has being so large that the current density of said EL layer which said EL element at the time of making said EL element drive has in claim 9 being large.

[Claim 11] The display with which the die length of the LDD field which said TFT for EL drive has is characterized by the *****, so that the current density of said EL layer which said EL element at the time of making said EL element drive has in claim 9 or claim 10 is large.

[Claim 12] The display characterized by the width of face of two or more of said current supply lines being so large that the current density of said EL layer which said EL element at the time of making said EL element drive has in any 1 term of claim 9 thru/or claim 11 being large.

[Claim 13] It is the display which has two or more pixels, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said two or more pixels Any one, the EL element, and TFT for switching of two or more of said current supply lines, It has TFT for EL drive and the video signal is inputted into the gate electrode of said TFT for EL drive through said TFT for switching. By said TFT for EL drive Any one potential of two or more of said current supply lines is given to the pixel electrode which said EL element has. Said external connection terminal and said two or more current supply lines are electrically connected through said two or more leading-about wiring. So that the absolute value of the current which flows said two or more current supply lines is large, when making said EL element drive The width of face of said leading-about wiring of two or more connected to said two or more current supply lines, respectively is large. The display with which a pixel with the larger absolute value of the current which flows said two or more current supply lines when making said EL element drive is characterized by the amplitude of the video signal inputted into the gate electrode of said TFT for EL drive being large.

[Claim 14] The display characterized by the channel width of the channel formation field which said TFT for EL drive has being so large that the absolute value of the current which flows said two or more current supply lines being large in claim 13 when making said EL element drive.

[Claim 15] The display with which the die length of the LDD field which said TFT for EL drive has is characterized by the *****, so that the absolute value of the current which flows said two or more current supply lines is large in claim 13 or claim 14, when making said EL element drive.

[Claim 16] The display characterized by the width of face of two or more of said current supply lines being so large that the absolute value of the current which flows said two or more current supply lines being large in any 1 term of claim 13 thru/or claim 15 when making said EL element drive.

[Claim 17] It is the display which has two or more pixels, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said two or more pixels Any one, the EL element, and TFT for switching of two or more of said current supply lines, It has TFT for EL drive. Said EL element A pixel electrode and a counterelectrode, It has EL layer prepared between said pixel electrodes and said counterelectrodes, and the video signal is inputted into the gate electrode of said TFT for EL drive through said TFT for switching. By said TFT for EL drive Any one potential of two or more of said current supply lines is given to the pixel electrode which said EL element has. Said external connection terminal and said two or more current supply lines are electrically connected through said two or more leading-about wiring. So that the current density of said EL layer which said EL element at the time of making said EL element drive has is large The width of face of said leading-about wiring of two or more connected to said two or more current supply lines, respectively is large. The display with which a pixel with the larger current density of said EL layer which said EL element at the time of making said EL element drive has is characterized by the amplitude of the video signal inputted into the gate electrode of said TFT for EL drive being large.

[Claim 18] The display characterized by the channel width of the channel formation field which said TFT for EL drive has being so large that the current density of said EL layer which said EL element at the time of making said EL element drive has in claim 17 being large.

[Claim 19] The display with which the die length of the LDD field which said TFT for EL drive has is characterized by the *****, so that the current density of said EL layer which said EL element at the time of making said EL

element drive has in any 1 term of claim 17 or claim 18 is large.

[Claim 20] The display characterized by the width of face of two or more of said current supply lines being so large that the current density of said EL layer which said EL element at the time of making said EL element drive has in any 1 term of claim 17 thru/or claim 19 being large.

[Claim 21] It is the display which has two or more pixels. Said two or more pixels It has an EL element, TFT for switching, and TFT for EL drive, respectively. Said TFT for switching is controlling switching of said TFT for EL drive. The electrical potential difference of the signal which said TFT for EL drive is controlling luminescence of said EL element, and is inputted into the gate electrode of said TFT for EL drive is a display characterized by changing with colors of the light which said EL element emits.

[Claim 22] It is the display which has two or more EL elements, two or more current supply lines, two or more leading-about wiring, and an external connection terminal. Said external connection terminal and said two or more current supply lines The pixel electrode which connects electrically and said two or more EL elements have, respectively through one from which said two or more leading-about wiring differs, respectively It is the display characterized by having an EL ingredient of two or more of said current supply lines different, respectively with which it connects with one electrically and said two or more EL elements of each differ mutually, and the width of face of said leading-about wiring of two or more differing mutually.

[Claim 23] Electronic equipment characterized by having said display in any 1 term of claim 1 thru/or claim 21.

[Claim 24] Electronic equipment characterized by being an EL display, a video camera, the luminescence equipment of a head installation mold, picture reproducer, a goggles mold display, a personal computer, a cellular phone, or a sound system in claim 23.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic equipment (electron device) which uses for a display EL (electroluminescence) indicating equipment which made the semiconductor device (component using a semi-conductor thin film) on the substrate, and was formed, and its EL indicating equipment.

[0002]

[Description of the Prior Art] In recent years, on the substrate, the technique which forms TFT progresses sharply and application development to a active-matrix mold display is furthered. And research of a active-matrix mold EL indicating equipment with an EL element is activating as a spontaneous light type component also especially in a active-matrix mold indicating equipment. EL indicating equipment is also called the organic electroluminescence display (OELD:Organic EL Display) or the organic light emitting diode (OLED:Organic Light Emitting Diode).

[0003] Unlike a liquid crystal display, EL display is a spontaneous light type. Although the EL element has the structure where EL layer was pinched by inter-electrode [of a pair], EL layer usually has a laminated structure. Typically, the laminated structure "the electron hole transportation layer / luminous layer / electronic transportation layer" which Tang and others of Eastman Kodak Co. proposed is mentioned. This structure has very high luminous efficiency, and most EL displays with which current and researches and developments are furthered have adopted this structure.

[0004] Although the luminescence in an organic electroluminescence ingredient has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation

state to a ground state (fluorescence), and a triplet excitation state to a ground state, one of luminescence of the luminescence mentioned above may be used for the EL element of this invention, or both luminescence may be used for it.

[0005] Moreover, otherwise, the structure which carries out a laminating to the order of a hole-injection layer / electron hole transportation layer / luminous layer / electronic transportation layer or a hole-injection layer / an electron hole transportation layer / luminous layer / electronic transportation layer / electron injection layer on a pixel electrode is sufficient. Fluorescence coloring matter etc. may be doped to EL layer.

[0006] And a predetermined electrical potential difference is applied to EL layer which becomes with the above-mentioned structure from the electrode of a pair, and thereby, in a luminous layer, the recombination of a carrier happens and light is emitted. In addition, if an EL element drives that an EL element emits light in this specification, it will be called.

[0007] In addition, in this specification, the light emitting device formed in an anode plate, EL layer, and cathode is called an EL element.

[0008] The structure of a typical active-matrix mold EL display (henceforth, EL display) is shown in drawing 14. Drawing 14 (A) shows the pixel section and arrangement of a drive circuit of EL display. For 901, as for a source signal-line drive circuit and 903, the pixel section and 902 are [a gate signal line drive circuit and 905] drawer terminals.

[0009] The pixel section 901 has two or more pixels 906. 904 is the current supply line formed in the pixel section 901, and has given potential to the pixel electrode of the EL element which all the pixels 906 have. The current supply line 904 is taken about, it connects with wiring 907, and the leading-about wiring 907 is connected to the external power source through the drawer terminal 905.

[0010] A pixel 906 is chosen from the gate signal line drive circuit 903 by the selection signal inputted into the gate signal line 913. And it is given to the pixel 906 as which the potential of the current supply line 904 was chosen from the source signal-line drive circuit 902 by the video signal inputted into the source signal line 912, and some images are displayed on a pixel 906.

[0011] The circuit diagram of the pixel corresponding to R (red), G (green), and B (blue) is shown in drawing 14 (B) among the pixels 906 shown in drawing 14 (A), respectively.

[0012] In drawing 14 (B), pixel 906r for R, and 906g of pixels for G and pixel 906b for B have the common gate signal line 913. Moreover, 906g of pixels for G has 912g of source signal lines for G, and, as for pixel 906b for B, pixel 906r for R has source signal-line 912b for B for source signal-line 912r for R, respectively.

[0013] Pixel 906r for R, and 906g of pixels for G and pixel 906b for B have TFT910 for switching, and TFT911 for EL drive, respectively. Moreover, 906g of pixels for G has 915g of EL elements for G, and, as for pixel 906b for B, pixel 906r for R has EL element 915b for B for EL element 915r for R, respectively.

[0014] If a selection signal is inputted into the gate signal line 913, TFT910 for switching by which the gate electrode was connected to the gate signal line 913 will be in the condition of ON altogether. On these specifications, this condition will be called, if the gate signal line 913 is chosen.

[0015] And through TFT910 for switching of the condition of ON, the video signal inputted into 912g of source signal lines for source signal-line 912 for R r and G and source signal-line 912b for B is inputted into EL element 915r for R, 915g of EL elements for G, and EL element 915b for B, respectively, and is inputted into the gate electrode of TFT911 for EL drive.

[0016] If a video signal is inputted into the gate electrode of TFT911 for EL drive, the potential of current supply line 914b for B will be given to the pixel electrode whose potential of 914g of current supply lines for G the potential of current supply line 914r for R is 915g of EL elements for G at the pixel electrode of EL element 915r for R at the pixel electrode of EL element 915b for B, respectively. Consequently, EL element 915r for R, 915g of EL elements for G, and EL element 915b for B emit light, and 906g of pixels for pixel 906 for R r and G and pixel 906b for B display.

[0017] By the way, it roughly divides into EL display and there are four colorization means of displaying. The method which forms the EL element which consists of three kinds of organic electroluminescence ingredients corresponding to R(red) G(green) B (blue) like EL display shown in drawing 14, There are a method which combined the method which combined the EL element and color filter of white luminescence, blue, or the EL element and fluorescent substance (the color conversion layer of fluorescence: CCM) of bluish green luminescence, and a method which puts the EL element corresponding to RGB on cathode (counterelectrode) using a transparent electrode.

[0018] And even if the electrical potential difference concerning EL layer is generally the same, the luminescence

brightness of EL layer changes with organic electroluminescence ingredients used for EL layer. The electrical-potential-difference-brightness property of EL layer of each color is shown in drawing 15. As shown in drawing 15, the luminescence brightness to the applied voltage to EL layer changes with organic electroluminescence ingredients used for the EL element of each color. This is because the magnitude of the current density in the same applied voltage changes with organic electroluminescence ingredients.

[0019] Moreover, even if current density is the same, the luminescence brightness in the same current density changes with organic electroluminescence ingredients.

[0020] Therefore, generally, EL indicating equipment is adjusting the height of the potential of the current supply line corresponding to the pixel of each color, respectively, in order to arrange the balance of the luminescence brightness of the EL element of three colors.

[0021]

[Problem(s) to be Solved by the Invention] The magnitude of the current which flows in the pixel section through leading-about wiring is decided by the number of the pixels which are performing the white display in the pixel section. In addition, the pixel which is performing the white display means the pixel which has an EL element in the condition of emitting light. The current which flows in the pixel section through leading-about wiring becomes large, so that there are many pixels which are performing the white display.

[0022] If the current which flows leading-about wiring becomes large, fall of potential will happen in leading-about wiring. Therefore, in the time with many pixels which are performing the white display, and few times, the electrical potential difference which requires the way when many for one EL element becomes small, and the luminescence brightness per pixel becomes low.

[0023] Especially, in the case of EL display of color display, the magnitude of the electrical potential difference concerning the EL element of each color is adjusted, respectively, and the magnitude of the current which flows to the EL element of each color is changed. The fall of potential of leading-about wiring corresponding to this pixel in a pixel with the flowing larger current becomes large. Therefore, even if it is adjusting the magnitude of the electrical potential difference concerning the EL element of each color, respectively, the ratio of the current which flows the EL element of three colors will change in the time with many pixels of a white display, and few times.

[0024] Therefore, if the number of the pixels of a white display changes, the situation where the balance of the luminescence brightness of the pixel corresponding to three colors collapses, respectively will arise.

[0025] Moreover, in the conventional EL display, the electrical potential differences which the magnitude of the current which it is going to pass to an EL element differs for every color, therefore are applied to an EL element also differed. However, all of the LDD width of face of TFT for EL drive prepared as a switching element between the EL element and the current supply line and channel width were the same, and its amplitude of the electrical potential difference of the digital signal inputted into the gate electrode of all TFT(s) for EL drive was also the same. For this reason, TFT for EL drive will deteriorate with the height of the electrical potential difference concerning a current supply line. Moreover, power consumption cannot be stopped if the amplitude of the electrical potential difference of the digital signal inputted into the gate electrode of TFT for EL drive is large beyond the need.

[0026] In view of the above-mentioned problem, this invention offers a technical problem EL display in which high definition color display is possible.

[0027]

[Means for Solving the Problem] this invention persons enlarged width of face of leading-about wiring with which the pixel which wants to enlarge the current passed to an EL element supplies an electrical potential difference or a current to the EL element of this pixel. Wiring resistance of leading-about wiring with which the pixel which wants to enlarge the current passed to an EL element by this supplies an electrical potential difference or a current to the EL element of this pixel becomes small. If wiring resistance becomes small, the fall of potential in leading-about wiring will become small, and it will become possible to enlarge the current passed to an EL element. In addition, since the tooth space which arranges leading-about wiring is restricted by the actual panel, it is changing the ratio of the width of face of leading-about wiring in each color, and it is possible to maintain the balance of the magnitude of a current which flows to the EL element of each color.

[0028] Are concerned, there is nothing in the number of the pixels of a white display, and the above-mentioned configuration enables it to prepare the balance of the luminescence brightness of each pixel of R, G, and B.

[0029] Moreover, if it designs so that not only leading-about wiring but the ratio of the width of face of the current supply line by which the pixel which wants to enlarge the current passed to an EL element supplies an

electrical potential difference or a current to the EL element of this pixel may become large, it will become possible to display a still higher definition image.

[0030] Moreover, in this invention, the amplitude of the video signal to input may be enlarged only in the pixel to which a large current flows to an EL element. It is necessary to input the video signal of the big amplitude into a pixel unnecessary [no] for pixels, and power consumption can be stopped by the above-mentioned configuration.

[0031] Moreover, TFT for EL drive which controls the current to an EL element passes comparatively many currents rather than TFT for switching which controls the drive of TFT for EL drive in order to make an EL element emit light. In addition, controlling the electrical potential difference concerning the gate electrode which TFT has as controlling the drive of TFT means making the TFT into an ON state or an OFF state. To TFT for EL drive of a pixel by which this invention is connected to the current supply line with the large absolute value of a current in the above-mentioned configuration, more currents will flow especially. Therefore, the problem that TFT for EL drive of the pixel connected to the current supply line with the large absolute value of a current will deteriorate early by hot carrier impregnation rather than TFT for EL drive of other pixels surfaces.

[0032] Then, in this invention, the configuration which makes longer than the die length of the LDD field of TFT for EL drive of the pixel which displays a color with high luminescence brightness the die length of the LDD field of TFT for EL drive of the pixel which displays a color with low luminescence brightness as a cure against degradation of TFT for EL drive by hot carrier impregnation in addition to the above-mentioned configuration may be added.

[0033] In addition, in this specification, the die length of a LDD field means the die length of the LDD field in the direction which connects a source field and a drain field.

[0034] Moreover, channel width (W) of TFT for EL drive of the pixel connected to the current supply line with the large absolute value of a current at coincidence may be enlarged more.

[0035] The typical plan and typical sectional view of TFT are shown in drawing 5 . Drawing 5 (A) is the plan of TFT and drawing 5 (B) is a sectional view in A-A' of drawing 5 (A).

[0036] As for 501, as for a source field and 502, a drain field and 503 are gate electrodes. In the bottom of the gate electrode 503, the channel formation field 504 is established through gate dielectric film 505. In this specification, channel width (W) means the die length of the channel field 504 in a perpendicular direction to the direction of the current which flows between the source field 501 and the drain field 502. Moreover, channel length (L) means the die length of the channel field 504 in the direction of the current which flows to the source field 501 and the drain field 502.

[0037] Even if the amount of this invention of the current on which TFT for EL drive controls a current supply line by the above-mentioned configuration when the absolute value of the flowing current becomes large increases, degradation of TFT for EL drive can be suppressed. and — in addition — and the value of the electrical potential difference impressed to an EL element enables it to adjust the luminescence brightness of the EL element, and it enables the balance of red and blue and green luminescence brightness to display a good vivid image.

[0038]

[Embodiment of the Invention] The plan of EL display of this invention is shown in drawing 1 . Drawing 1 (A) shows the pixel section and arrangement of a drive circuit of EL display. For 101, as for a source signal-line drive circuit and 103, the pixel section and 102 are [a gate signal line drive circuit and 105] drawer terminals.

[0039] The pixel section 101 has two or more pixels 106. 104 is the current supply line formed in the pixel section 101, and has given potential to the pixel electrode of the EL element which all the pixels 106 have. The current supply line 104 is taken about, it connects with wiring 107, and the leading-about wiring 107 is connected to the external power source through the drawer terminal 105. In addition, the layout of the leading-about wiring 107 is not limited to the gestalt shown in drawing 1 .

[0040] A pixel 106 is chosen from the gate signal line drive circuit 103 by the selection signal inputted into a gate signal line (not shown). And it is given to the pixel 106 as which the potential of the current supply line 104 was chosen from the source signal-line drive circuit 102 by the video signal inputted into a source signal line (not shown), and some images are displayed on a pixel 106.

[0041] The enlarged drawing of the leading-about wiring 107 in drawing 1 (A) is shown in drawing 1 (B). 107r is [leading-about wiring for G and 107b of leading-about wiring for R and 107g] leading-about wiring for B.

[0042] Since an EL element takes about and it connects with wiring at the serial, the ratio of a current which flows leading-about wiring corresponding to each color of RGB is equivalent to the ratio of the current density of EL layer corresponding to each color of RGB. Moreover, generally, wiring resistance is proportional to the die

length of sheet resistance and wiring, and in inverse proportion to the width of face of wiring. The die length of sheet resistance and wiring is fixed here.

[0043] The electrical potential difference built over V_r and leading-about wiring for G in the electrical potential difference concerning leading-about wiring for R V_g , The electrical potential difference concerning leading-about wiring for B is set to V_b . The width of face of leading-about wiring for R W_r , If width of face of W_g and leading-about wiring for B is set to W_b for the width of face of leading-about wiring for G and current density of I_g and the EL element for B is set [the current density of the EL element for R] to I_b for the current density of the EL element for R and G, the following formulas 1 will be realized from Ohm's law. In addition, a is a constant.

[0044]

[Formula 1] $V_r = a x I_r / W_r$ $V_g = a x I_g / W_g$ $V_b = a x I_b / W_b$ [0045] Here, if $V_r = V_g = V_b$, the following formulas 2 will be drawn.

[0046]

[Formula 2] $I_r / W_r = I_g / W_g = I_b / W_b$ [0047] The following formulas 3 are drawn from a formula 2.

[0048]

[Formula 3] $W_r : W_g : W_b = I_r : I_g : I_b$ [0049] Therefore, in order to prepare the balance of the luminescence brightness of each pixel of R, G, and B from a formula 3, it takes about, and it designs so that the width of face of wiring may become larger than the width of face of leading-about wiring electrically connected to the EL element with small current density electrically connected to the EL element with large current density. Desirably, the ratio of the width of face of leading-about wiring is designed so that a formula 3 may be filled.

[0050] Moreover, if not only leading-about wiring but the ratio of the width of face of the current supply line by which the pixel which wants to enlarge the current passed to an EL element supplies an electrical potential difference or a current to the EL element of this pixel is designed so that a formula 3 may be filled, it will become possible to display a still higher definition image.

[0051] Are concerned, there is nothing in the number of the pixels of a white display, and the above-mentioned configuration enables it to prepare the balance of the luminescence brightness of each pixel of R, G, and B.

[0052]

[Example] (Example 1) This example explains the example to which the pixel which needs a large electrical potential difference for an EL element enlarges the amplitude of the digital signal inputted into this pixel.

[0053] In the pixel of EL display, the connection configuration of TFT for EL drive and an EL element is shown briefly [drawing 2]. As for TFT for EL drive, and 203, 202 is [a current supply line and 206] EL elements. The digital signal with which the gate electrode of TFT202 for EL drive is given to a terminal 201 is inputted. The source field of TFT202 for EL drive is connected to the current supply line 203, and the drain field is connected to the pixel electrode which EL element 206 has.

[0054] If the absolute value of the current given to the current supply line 203 is enlarged in order to make the luminescence brightness of an EL element high, the OFF state current (current which flows when TFT is in the condition of OFF) of TFT202 for EL drive will become large. Therefore, even when TFT202 for EL drive is in the condition of OFF, it may happen that an EL element emits light.

[0055] In this invention, a pixel with the larger absolute value of the current which flows a current supply line amplifies the amplitude of the digital signal inputted into this pixel (specifically inputted into a terminal 201 in the case of drawing 2). Since the amplified digital signal is inputted into the gate electrode of TFT202 for EL drive, $|V_{GS}|$ of TFT202 for EL drive becomes large [before a digital signal is amplified]. Therefore, even if it enlarges the absolute value of the current of the current supply line 203, the OFF state current of TFT202 for EL drive can be suppressed, and even when TFT202 for EL drive is in the condition of OFF, it becomes possible to prevent the situation where an EL element emits light.

[0056] In addition, this invention may be an EL display which is not limited to EL display which displays an image using a digital signal, but displays an image using an analog signal.

[0057] (Example 2) This example gives and explains an example about the concrete configuration of the source signal-line drive circuit used in the example 1.

[0058] The block diagram of the source signal-line drive circuit of this example is shown in drawing 3 . 400 is the pixel section and 401 is a source signal-line drive circuit. The source signal-line drive circuit 401 has a shift register circuit 402, the 1st latch circuit 403, the 2nd latch circuit 404, the level-shifter circuit 405, and the buffer circuit 406.

[0059] According to the timing signal (TS) generated in the shift register circuit 402, a digital signal (DV) is inputted and held from the exterior of the source signal-line drive circuit 401 at the 1st latch circuit 403. If the digital signal of all bits is inputted into the 1st latch circuit 403 and held, according to a latch pulse (LP), the

digital signals currently held at the 1st latch circuit 403 will be inputted into the 2nd latch circuit 404 all at once, and will be held. And actuation that a digital signal (DV) is inputted and held from the exterior of the source signal-line drive circuit 401 at the 1st latch circuit 403 is started again.

[0060] It is inputted into the level-shifter circuit 405, the amplitude is amplified, and the digital signal which were inputted into the 2nd latch circuit 404 all at once, and was held is outputted from a level-shifter circuit. The magnitude to amplify changes with absolute values of the height of the current which flows a current supply line in the pixel as which a digital signal is inputted. In the pixel as which a digital signal is inputted, the amplitude of digital video ** inputted into this pixel is greatly amplified, so that the absolute value of the height of the current which flows a current supply line is large.

[0061] Thus, it becomes possible by changing the output voltage of a level-shifter circuit, i.e., the power-source potential of a level-shifter circuit, to change the amplitude of the digital signal inputted into a pixel for every color.

[0062] Even if it enlarges the absolute value of the current of a current supply line, the OFF state current of TFT for EL drive can be suppressed, and the above-mentioned configuration enables it to prevent the situation where an EL element emits light, even when TFT for EL drive is in the condition of OFF.

[0063] Buffer magnification is carried out in a buffer circuit 406, and the digital signal after the magnification outputted from the level-shifter circuit 405 is inputted into a corresponding source signal line.

[0064] An example of the representative circuit schematic of the level-shifter circuit 405 is shown in drawing 4. A digital signal is inputted from Vin of the level-shifter circuit 405. And the signal which reversed the polarity of a digital signal is inputted from Vinb. Moreover, it means that Vddh is connected to a high-voltage side power source, and Vss is connected to a low-battery side power source.

[0065] The level-shifter circuit 403 is designed so that the signal which made the digital signal inputted into Vin amplify may be outputted from Vout. If the digital signal of Hi is inputted into Vin and the digital signal of Lo will specifically be inputted for the signal of Vss from Vout, the signal of Vddh from Vout will be outputted.

[0066] (Example 3) This example shows the concrete numeric value of the width of face of the leading-about wiring 107 shown in drawing 1.

[0067] In this example, current density of the organic electroluminescence ingredient of R, G, and B was made into 7.5 mA/cm², 3 mA/cm², and 5 mA/cm², respectively so that the luminescence brightness of the EL element of R, G, and B might serve as 100 cd/m², 100 cd/m² and 50 cd/m², respectively.

[0068] From the value of the current density mentioned above, the ratio of the width of face of the current supply line of the pixel corresponding to R, G, and B is expressed with a formula 4 from the formula 3 shown with the gestalt of operation.

[Formula 4] $W_r:W_g:W_b \approx 7.5:3:5$ [0069] If it takes about according to a formula 4 and the width of face of wiring is designed, the balance of the luminescence brightness of each pixel of R, G, and B can be prepared.

[0070] In addition, in this example, the width of face of leading-about wiring corresponding to R, G, and B does not need to be filling the formula 4. What is necessary is to enlarge most width of face of leading-about wiring corresponding to R, and just to make the smallest width of face of leading-about wiring corresponding to G.

[0071] Are concerned, there is nothing in the number of the pixels of a white display, and the above-mentioned configuration enables it to prepare the balance of the luminescence brightness of each pixel of R, G, and B.

[0072] Moreover, if width of face of the current supply line not only corresponding to leading-about wiring but R is enlarged most and width of face of the current supply line corresponding to G is made the smallest, it will become possible to prepare the balance of the luminescence brightness of each pixel of R, G, and B more effectively. If it designs so that it may take about more preferably and the width of face of a current supply line as well as wiring may fill a formula 4, it will become possible further to prepare the balance of the luminescence brightness of each pixel of R, G, and B.

[0073] In addition, the current density of the organic electroluminescence ingredient used in this invention is not limited to the numeric value mentioned above.

[0074] Moreover, although this example showed the example which amplifies the amplitude of a digital signal in EL indicating equipment which displays with a digital signal, this invention is not limited to this configuration. The configuration which amplifies the amplitude of an analog video signal in EL indicating equipment which displays with an analog video signal is also included in this invention.

[0075] It combines with an example 1 or an example 2 freely, and this example can be carried out.

[0076] (Example 4) EL display of this invention is good also as structure which prepared how many TFT(s) in the pixel. For example, three thru/or six, or TFT beyond it may be prepared. By this example, EL display shows the configuration which has prepared three TFT(s) in the pixel.

[0077] the gate signal line by which TFT for switching and 4701 were connected to the source signal line, and 4703 was connected to the gate electrode of TFT4702 for switching for 4702 in drawing 6 , and 4704 — in a capacitor (omitting is also possible) and 4706, TFT for power control and 4708 make it as the gate signal line for power control, and 4709 makes a current supply line and 4707 an EL element for TFT for EL drive, and 4705. About actuation of TFT4707 for power control, it is good to refer to an application for patent No. 364003 [2000 to].

[0078] Moreover, although TFT4707 for power control is formed between TFT4704 for EL drive, and EL element 4708 in this example, it is good also as structure where TFT4704 for EL drive was formed between TFT4707 for power control, and EL element 4708. Moreover, as for TFT4707 for power control, it is desirable to consider as the same structure as TFT4704 for EL drive, or to carry out a serial by the same barrier layer, and to form.

[0079] the gate signal line by which a source signal line and 4802 were connected to TFT for switching, and 4803 was connected to the gate electrode of TFT4802 for switching for 4801 in drawing 7 , and 4804 — in a capacitor (omitting is also possible) and 4806, TFT for elimination and 4808 make it as the gate signal line for elimination, and 4809 makes a current supply line and 4807 an EL element for TFT for EL drive, and 4805. About actuation of TFT4807 for elimination, it is good to refer to an application for patent No. 359032 [2000 to].

[0080] It can connect with the gate of TFT4804 for EL drive, and the drain of TFT4807 for elimination can change now compulsorily the gate voltage of TFT4804 for EL drive. In addition, although TFT4807 for elimination is good also as a p channel mold TFT also as an n channel mold TFT, it is desirable to consider as the same structure as TFT4802 for switching so that the OFF state current can be made small.

[0081] It combines with an example 1 – an example 3 freely, and this example can be carried out.

[0082] (Example 5) This example uses and explains drawing 8 – drawing 11 to a detail in EL display of this invention about how to produce to coincidence TFT (the n channel mold TFT and p channel mold TFT) of the drive circuit prepared on the same substrate around the pixel section and the pixel section.

[0083] First, the substrate 300 which consists of glass, such as barium borosilicate glass represented with this example by #7059 glass of Corning, Inc., #1737 glass, etc. or alumino borosilicate glass, is used. In addition, if it is the substrate which has translucency as a substrate 300, it will not be limited, but a quartz substrate may be used. Moreover, the plastic plate which has the thermal resistance which can bear the processing temperature of this example may be used.

[0084] Subsequently, the substrate film 301 which consists of insulator layers, such as oxidation silicon film, a silicon nitride film, or an oxidation silicon nitride film, is formed on a substrate 300. Although two-layer structure is used as substrate film 301 in this example, the structure which carried out the laminating the monolayer of said insulator layer or more than two-layer may be used. 10–200nm (preferably 50–100nm) formation of the oxidation silicon nitride film formed considering SiH₄, NH₃, and N₂O as reactant gas, using plasma-CVD method as eye much more. 301 of substrate film 301 a is carried out. In this example, oxidation silicon nitride film of 50nm of thickness 301a (presentation ratio Si= 32%, O= 27%, N= 24%, H= 17%) was formed. Subsequently, laminating formation of the oxidation silicon nitride film 301b formed considering SiH₄ and N₂O as reactant gas is carried out at the thickness of 50–200nm (preferably 100–150nm), using a plasma-CVD method as [of the substrate film 301] a NI layer. In this example, oxidation silicon nitride film of 100nm of thickness 301b (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%) was formed.

[0085] Subsequently, the semi-conductor layers 302–305 are formed on the substrate film. Patterning of the crystalline substance semi-conductor film obtained by performing well-known crystallization processings (the heat crystallizing method using the catalyst of the laser crystallizing method, the heat crystallizing method, or nickel etc.) is carried out to a desired configuration, and the semi-conductor layers 302–305 form it, after forming the semi-conductor film which has amorphous structure with well-known means (LPCVD a spatter, law or a plasma-CVD method, etc.). The thickness of these semi-conductor layers 302–305 is formed by the thickness of 25–80nm (preferably 30–60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form preferably with silicon (silicon) or a silicon germanium (SiXGe_{1-X} (X=0.0001–0.02)) alloy. After forming the 55nm amorphous silicon film using a plasma-CVD method, the solution containing nickel was made to hold on the amorphous silicon film in this example. After performing dehydrogenation (500 degrees C, 1 hour) on this amorphous silicon film, heat crystallization (550 degrees C, 4 hours) was performed, laser annealing processing for improving crystallization further was performed, and the crystalline substance silicon film was formed. And the semi-conductor layers 302–305 were formed by patterning [film / this / crystalline substance silicon] processing using the photolithography method.

[0086] Moreover, after forming the semi-conductor layers 302–305, in order to control the threshold of TFT, a

minute amount impurity element (boron or Lynn) may be doped.

[0087] Moreover, when producing the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO4 laser can be used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes **** selection, the conditions of crystallization are made into the pulse oscillation frequency of 300Hz when using an excimer laser, and make a laser energy consistency 100 – 400 mJ/cm² (typically 200 – 300 mJ/cm²). Moreover, it is good to consider as the pulse oscillation frequency of 30–300kHz using the 2nd higher harmonic, in using an YAG laser, and to make a laser energy consistency into 300 – 600 mJ/cm² (typically 350 – 500 mJ/cm²). and width of face of 100–1000 micrometers, for example, the laser light which condensed to the line by 400 micrometers, — the whole substrate surface — crossing — irradiating — the line at this time — what is necessary is just to perform the rate of superposition of laser light (rate of overlap) as 50 – 90%

[0088] Subsequently, wrap gate dielectric film 306 is formed for the semi-conductor layers 302–305. Gate dielectric film 306 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40–150nm, and contains silicon. At this example, it formed by the thickness of 110nm by the plasma-CVD method the oxidation silicon nitride film (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%). Of course, gate dielectric film is not limited to an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0089] Moreover, when using the oxidation silicon film, TEOS (Tetraethyl Orthosilicate) and O₂ can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300–400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 – 0.8 W/cm², and can form. Thus, the oxidation silicon film produced can acquire a property good as gate dielectric film by 400–500-degree C heat annealing after that.

[0090] Subsequently, as shown in drawing 8 (A), laminating formation of the 1st electric conduction film 307 of 20–100nm of thickness and the 2nd electric conduction film 308 of 100–400nm of thickness is carried out on gate dielectric film 306. In this example, laminating formation of the 2nd electric conduction film 308 which consists of the 1st electric conduction film 307 which consists of TaN film of 30nm of thickness, and W film of 370nm of thickness was carried out. The TaN film was formed by the spatter and carried out the spatter within the ambient atmosphere containing nitrogen using the target of Ta. Moreover, W film was formed by the spatter which used the target of W. In addition, it can also form with the heat CVD method using 6 tungsten fluoride (WF₆). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to make it 20 or less microomegacm. In W film, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. Therefore, in this example, it is the spatter which used the target of W (99.9999% of purity, 99.99%) of a high grade, and resistivity 9 – 20microomegacm were able to be realized by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0091] In addition, in this example, although TaN and the 2nd electric conduction film 308 were set to W for the 1st electric conduction film 307, it is not limited especially but the element with which all were chosen from Ta, W, Ti, Mo, aluminum, Cu, Cr, and Nd, or said element may be formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystal silicon film which doped impurity elements, such as Lynn, may be used. Moreover, the alloy which consists of Ag, Pd, and Cu may be used. Moreover, form the 1st electric conduction film by the tantalum (Ta) film, and use the 2nd electric conduction film as W film, and it is combined. Form the 1st electric conduction film by the titanium nitride (TiN) film, and use the 2nd electric conduction film as W film, and it is combined. It is good also as a combination which forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as aluminum film and which combines, forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as Cu film.

[0092] Next, 1st etching processing for forming the masks 309–312 which consist of a resist using the photolithography method, as shown in drawing 8 (B), and forming an electrode and wiring is performed. The 1st etching processing performs on the 1st and 2nd etching conditions. In this example, it etched by using CF₄, and Cl₂ and O₂ for the gas for etching, setting each gas stream quantitative ratio to 25/25/10 (sccm), using the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method as 1st etching condition, supplying

RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. Here, the dry etching system (Model E645-**ICP) which used ICP by Matsushita Electric Industrial Co., Ltd. was used. RF (13.56MHz) power of 150W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. W film is etched according to this 1st etching condition, and the edge of the 1st conductive layer is made into a taper configuration. Etch rates [as opposed to 200.39 nm/min and TaN in the etch rate to W in the 1st etching condition] are 80.32 nm/min, and the selection ratio of W to TaN is about 2.5. Moreover, the taper angle of W becomes about 26 degrees according to this 1st etching condition.

[0093] Then, as shown in drawing 8 (B), it changed into the 2nd etching condition, without removing the masks 309-312 which consist of a resist, and CF₄ and Cl₂ were used for the gas for etching, each quantity-of-gas-flow ratio was made into 30/30 (sccm), RF (13.56MHz) power of 500W was supplied to the electrode of a coil mold by the pressure of 1Pa, the plasma was generated, and etching for about 30 seconds was performed. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. On the 2nd etching condition which mixed CF₄ and Cl₂, W film and the TaN film are etched to the same extent. Etch rates [as opposed to 58.97 nm/min and TaN in the etch rate to W in the 2nd etching condition] are 66.43 nm/min. In addition, in order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 - 20% of a rate.

[0094] In etching processing of the above 1st, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration according to the effectiveness of the bias voltage impressed to a substrate side by having been suitable in the configuration of the mask which consists of a resist. What is necessary is just to make the include angle of this taper section into 15-45 degrees. In this way, the conductive layers 314-317 (the 1st conductive layers 314a-317a and 2nd conductive layer 314b-317b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. 319 is gate dielectric film and the field which about 20-50nm of fields which are not covered by the conductive layers 314-317 of the 1st configuration was etched, and became thin is formed.

[0095] And 1st doping processing is performed without removing the mask which consists of a resist, and the impurity element which gives n mold to a semi-conductor layer is added. (Drawing 8 (B)) What is necessary is just to perform doping processing with the ion doping method or ion-implantation. The conditions of the ion doping method make a dose $1 \times 10^{13} - 5 \times 10^{15}$ atoms/cm², and perform acceleration voltage as 60-100keV. In this example, the dose was made into 1.5×10^{15} atoms/cm², and acceleration voltage was performed as 80keV(s). the element which belongs to 15 groups as an impurity element which gives n mold — typical — Lynn — although (P) or arsenic (As) is used — here — Lynn — (P) was used. In this case, it becomes a mask to the impurity element with which conductive layers 314-317 give n mold, and the high concentration impurity ranges 320-323 are formed in self align. In the high concentration impurity ranges 320-323, the impurity element which gives n mold by the density range of $1 \times 10^{20} - 1 \times 10^{21}$ atoms/cm³ is added.

[0096] Subsequently, 2nd etching processing is performed, without removing the mask which consists of a resist as shown in drawing 8 (C). Here, it etched by using CF₄, and Cl₂ and O₂ for the gas for etching, setting each gas stream quantitative ratio to 20/20/20 (sccm), supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. Etch rates [as opposed to 124.62 nm/min and TaN in the etch rate to W in the 2nd etching processing] are 20.67 nm/min, and the selection ratio of W to TaN is 6.05. Therefore, W film is etched alternatively. The taper angle of W became 70 degrees by this 2nd etching. The 2nd conductive layer 324b-327b is formed by this 2nd etching processing. On the other hand, the 1st conductive layer 314a-317a is hardly etched, but forms the 1st conductive layer 324a-327a.

[0097] Subsequently, 2nd doping processing is performed. Doping uses the 2nd conductive layer 324b-327b as a mask to an impurity element, and it dopes it so that an impurity element may be added by the semi-conductor layer of the taper section lower part of the 1st conductive layer. In this example, a dose 1.5×10^{14} , current density 0.5microA, and acceleration voltage 90keV performed plasma doping, using P (Lynn) as an impurity element. In this way, the low concentration impurity ranges 329-332 which lap with the 1st conductive layer are formed in self align. The concentration of Lynn (P) added to these low concentration impurity ranges 329-332 is $1 \times 10^{17} - 5 \times 10^{18}$ atoms/cm³, and has the loose concentration gradient according to the thickness of the taper section of the 1st conductive layer. In addition, in the semi-conductor layer which laps with the taper section of the 1st conductive layer, although high impurity concentration is low a little toward the edge of the taper section of the

1st conductive layer to the inside, it is almost comparable concentration. Moreover, the high concentration impurity ranges 333–336 where the high-concentration impurity element was added are formed.

[0098] Subsequently, as shown in drawing 9 (B), after removing the mask which consists of a resist, 3rd etching processing is performed using the photolithography method. In this 3rd etching processing, the taper section of the 1st conductive layer is etched partially, and it is carried out in order to make it the configuration which laps with the 2nd conductive layer. However, the mask 338 which consists of a resist as shown in drawing 9 (B) is formed in the field which does not perform 3rd etching.

[0099] Using Cl_2 and SF_6 as etching gas, the etching conditions in the 3rd etching processing make each gas stream quantitative ratio 10/50 (sccm), and perform it using the ICP etching method like the 1st and 2nd etching. In addition, the etch rate to TaN in the 3rd etching processing is 111.2 nm/min, and the etch rate to gate dielectric film is 12.8 nm/min.

[0100] In this example, it etched by supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1.3Pa, and generating the plasma. RF (13.56MHz) power of 10W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. Of the above, the 1st conductive layer 340a–342a is formed.

[0101] Of the 3rd above-mentioned etching, the impurity ranges (LDD field) 343–345 which do not lap with the 1st conductive layer 340a–342a are formed. In addition, the impurity range (GOLD field) 346 has lapped with 1st conductive layer 324a.

[0102] Moreover, finally the electrode which the electrode formed by 1st conductive layer 324a and 2nd conductive layer 324b finally turned into a gate electrode of the n channel mold TFT of a drive circuit, and was formed by 1st conductive layer 340a and 2nd conductive layer 340b turns into a gate electrode of the p channel mold TFT of a drive circuit.

[0103] Similarly finally the electrode formed by 1st conductive layer 341a and 2nd conductive layer 341b turns into a gate electrode of the n channel mold TFT of the pixel section, and, finally the electrode formed by 1st conductive layer 342a and 2nd conductive layer 342b turns into a gate electrode of the p channel mold TFT of the pixel section.

[0104] thus, this example could form in coincidence the impurity ranges (LDD field) 343–345 which do not lap with the 1st conductive layer 340a–342a, and the impurity range (GOLD field) 346 which laps with 1st conductive layer 324a, and embraced the TFT property — it makes and a part injury is attained.

[0105] Next, etching processing of the gate dielectric film 319 is carried out. Etching processing here uses CHF_3 for etching gas, and is performed using a reactive-ion-etching method (the RIE method). At this example, 3rd etching processing was performed by the chamber pressure of 6.7Pa, RF power 800W, and CHF_3 quantity-of-gas-flow 35sccm.

[0106] Thereby, a part of high concentration impurity ranges 333–336 are exposed, and insulator layers 356a–356d are formed.

[0107] Subsequently, after removing the mask which consists of a resist, the masks 348 and 349 which newly consist of a resist are formed, and 3rd doping processing is performed. The impurity ranges 350–353 where the impurity element which gives a conductivity type (p mold) with said one reverse conductivity type (n mold) to the semi-conductor layer used as the barrier layer of the p channel mold TFT by this 3rd doping processing was added are formed. (Drawing 9 (C)) The 1st conductive layer 340a and 342a is used as a mask to an impurity element, the impurity element which gives p mold is added, and an impurity range is formed in self align.

[0108] In this example, impurity ranges 350–353 are formed by the ion doping method for having used diboron hexahydride (B_2H_6). In addition, in the case of this 3rd doping processing, the semi-conductor layer which forms the n channel mold TFT is covered with the masks 348 and 349 which consist of a resist. Although Lynn is added by concentration different, respectively by the 1st doping processing and the 2nd doping processing in impurity ranges 350–353, in order to function as the source field and drain field of the p channel mold TFT by carrying out doping processing so that the concentration of the impurity element which gives p mold also in which the field may serve as $2 \times 10^{20} - 2 \times 10^{21}$ atoms/cm³, a problem is not produced at all.

[0109] An impurity range is formed in each semi-conductor layer at the process to the above.

[0110] Subsequently, the masks 348 and 349 which consist of a resist are removed, and the 1st interlayer insulation film 357 is formed. It forms by the insulator layer which sets thickness to 100–200nm, and contains silicon, using a plasma-CVD method or a spatter as this 1st interlayer insulation film 357. In this example, the oxidation silicon nitride film of 150nm of thickness was formed by the plasma-CVD method. Of course, the 1st interlayer insulation film 357 is not limited to an oxidation silicon nitride film, and may use the insulator layer

containing other silicon as a monolayer or a laminated structure.

[0111] Subsequently, as shown in drawing 10 (A), the process which carries out activation of the impurity element added by each semi-conductor layer is performed. This activation process is performed by the heat annealing method for using a furnace annealing furnace. As a heat annealing method, the oxygen density performed 1 ppm or less of activation by 550 degrees C and heat treatment of 4 hours at this example that what is necessary is just to perform 400–700 degrees C at 500–550 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) other than the heat annealing method is applicable.

[0112] In addition, in this example, gettering is carried out to the impurity range (350 334–336, 351) where the nickel used as a catalyst at the above-mentioned activation and coincidence on the occasion of crystallization includes high-concentration Lynn, and the nickel concentration in the semi-conductor layer which mainly serves as a channel formation field is reduced. Thus, an OFF state current value falls, high electric field effect mobility is obtained from crystallinity being good, and TFT which has the produced channel formation field can attain a good property.

[0113] Moreover, activation may be performed before forming the 1st interlayer insulation film. However, when the used wiring material is weak with heat, it is desirable to perform activation, after forming an interlayer insulation film (the insulator layer which uses silicon as a principal component, for example, a silicon nitride film), in order to protect wiring etc. like this example.

[0114] In addition, after performing activation, doping processing may be performed, and the 1st interlayer insulation film may be made to form.

[0115] Furthermore, in the ambient atmosphere containing 3 – 100% of hydrogen, heat treatment of 1 – 12 hours is performed at 300–550 degrees C, and the process which hydrogenates a semi-conductor layer is performed. In this example, 410 degrees C and heat treatment of 1 hour were performed for hydrogen in about 3% of nitrogen-gas-atmosphere mind to include. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen contained in an interlayer insulation film. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0116] Moreover, when using the laser annealing method as activation, after performing the above-mentioned hydrogenation, it is desirable to irradiate laser light, such as an excimer laser and an YAG laser.

[0117] Subsequently, as shown in drawing 10 (B), the 2nd interlayer insulation film 358 which consists of an organic insulating material ingredient is formed on the 1st interlayer insulation film 357. In this example, the acrylic resin film of 1.6 micrometers of thickness was formed. Subsequently, patterning for forming the contact hole which arrives at each impurity ranges 333, 335, 350, and 351 is performed.

[0118] The film which consists of an insulating material containing silicon or organic resin as the 2nd interlayer insulation film 358 is used. As an insulating material containing silicon, oxidation silicon, silicon nitride, and oxidation silicon nitride can be used, and polyimide, a polyamide, an acrylic, BCB (benz-cyclo-butene), etc. can be used as organic resin.

[0119] In this example, the oxidation silicon nitride film formed by the plasma-CVD method was formed. in addition — as the thickness of an oxidation silicon nitride film — desirable — 1–5 micrometers (still more preferably 2–4 micrometers) — then, it is good. The oxidation silicon nitride film is effective when suppressing degradation of an EL element, since there is little moisture contained in the film itself.

[0120] Moreover, although dry etching or wet etching can be used for formation of a contact hole, considering the problem of the electrostatic discharge at the time of etching, it is desirable to use the wet etching method.

[0121] Furthermore, in formation of a contact hole here, in order to etch the 1st interlayer insulation film and the 2nd interlayer insulation film into coincidence, as for the ingredient which considering the configuration of a contact hole forms the 2nd interlayer insulation film, it is desirable to use what has an etch rate quicker than the ingredient which forms the 1st interlayer insulation film.

[0122] And the wiring 359–366 electrically connected with each impurity ranges 333, 335, 350, and 351, respectively is formed. And although patterning of the cascade screen of Ti film of 50nm of thickness and the alloy film (alloy film of aluminum and Ti) of 500nm of thickness is carried out and it is formed, other electric conduction film may be used.

[0123] Subsequently, a transparent electrode 367 is formed by forming and carrying out patterning of the transparence electric conduction film by the thickness of 80–120nm on it. (Drawing 10 (B))

[0124] In addition, in this example, the transparence electric conduction film which mixed the zinc oxide (ZnO) of 2–20 [%] is used for the indium oxide tin (ITO) film or indium oxide as a transparent electrode.

[0125] Moreover, the drain field of TFT for EL drive and electric connection are formed by forming a transparent electrode 367 in piles in contact with the drain wiring 365.

[0126] Next, as shown in drawing 11, the insulator layer (this example oxidation silicon film) containing silicon is formed in the thickness of 500 [nm], opening is formed in the location corresponding to a transparent electrode 367, and the 3rd interlayer insulation film 368 which functions as a bank is formed. In case opening is formed, it can consider as the side attachment wall of a taper configuration easily by using the wet etching method. Since degradation of EL layer resulting from a level difference will pose a remarkable problem if the side attachment wall of opening is not fully gently-sloping, cautions are required.

[0127] In addition, in this example, although the film which becomes with oxidation silicon as the 3rd interlayer insulation film is used, depending on the case, organic resin film, such as polyimide, a polyamide, an acrylic, and BCB (benz-cyclo-butene), can also be used.

[0128] Next, as drawing 11 shows, the EL layer 369 is formed with vacuum deposition, and cathode (MgAg electrode) 370 and the protection electrode 371 are further formed with vacuum deposition. It is desirable to precede to form the EL layer 369 and cathode 370 at this time, to heat-treat to a transparent electrode 367, and to remove moisture completely. In addition, although a MgAg electrode is used as cathode of an EL element in this example, you may be other well-known ingredients.

[0129] In addition, a well-known ingredient can be used as an EL layer 369. Although two-layer structure which becomes by the electron hole transportation layer (Hole transporting layer) and the luminous layer (Emitting layer) is used as EL layer in this example, either a hole-injection layer, an electron injection layer or an electronic transportation layer may be prepared. Thus, various examples are already reported and combination may use which the configuration.

[0130] In this example, polyphenylene vinylene is formed with vacuum deposition as an electron hole transportation layer. Moreover, as a luminous layer, what carried out molecular dispersion of the PBD of 1, 3, and 4-OKISA diazole derivative to the polyvinyl carbazole 30 to 40% was formed with vacuum deposition, and the coumarin 6 is added about 1% as a green emission center.

[0131] Moreover, although it is possible for the protection electrode 371 to also protect the EL layer 369 from moisture or oxygen, it is good to form the passivation film 372 still more preferably. In this example, the silicon nitride film of 300nm thickness is prepared as passivation film 372. You may form continuously without this passivation film's also carrying out atmospheric-air release after the protection electrode 371.

[0132] Moreover, the protection electrode 371 has the typical metal membrane which is prepared in order to prevent degradation of cathode 370, and uses aluminum as a principal component. Of course, other ingredients are sufficient. Moreover, since the EL layer 369 and cathode 370 are very weak for moisture, it is desirable to form continuously without carrying out atmospheric-air release even of the protection electrode 371, and to protect EL layer from the open air.

[0133] In addition, what is necessary is just to set to 80-200 [nm] (typically 100-150 [nm]) thickness whose thickness of the EL layer 369 is 10-400 [nm] (typically 60-150 [nm]), and cathode 370.

[0134] In this way, EL display of structure as shown in drawing 11 is completed. In addition, in the creation process of EL display in this example, on the configuration of a circuit, and the relation of a process, although the gate signal line is formed by aluminum which is the wiring material which forms a source signal line and forms the source and a drain electrode by Ta and W which are the ingredient which forms the gate electrode, a different ingredient may be used.

[0135] Moreover, the pixel section 507 which has the drive circuit 506 which has the n channel mold TFT501 and the p channel mold TFT502, and TFT503 for switching and TFT504 for EL drive can be formed on the same substrate.

[0136] The n channel mold TFT501 of the drive circuit 506 has the high concentration impurity range 333 which functions as the channel formation field 380, the low concentration impurity range 329 (GOLD field) which laps with 1st conductive layer 324a which constitutes some gate electrodes, a source field, or a drain field. It has the impurity range 350 which functions on the p channel mold TFT502 as the channel formation field 373, the impurity range 352 which does not lap with 1st conductive layer 340a which constitutes some gate electrodes, a source field, or a drain field.

[0137] It does not lap with 1st conductive layer 341a which forms the channel formation field 374 and a gate electrode in TFT503 for switching of the pixel section 507, but has the high concentration impurity range 335 which functions as the low concentration impurity range 344 (LDD field) formed in the outside of a gate electrode, a source field, or a drain field.

[0138] It has the high concentration impurity range 351 which functions on TFT504 for EL drive of the pixel section 507 as the channel formation field 375, the impurity range 353 which does not lap with 1st conductive layer 327a which constitutes some gate electrodes, a source field, or a drain field.

[0139] (Example 6) This example explains the example which produced EL display using this invention using drawing 16 and drawing 17.

[0140] Drawing 16 (A) shows the plan of the TFT substrate of EL display of this invention. In addition, in this specification, a TFT substrate means the substrate with which the pixel section is prepared.

[0141] On the substrate 4001, the pixel section 4002, the source signal-line drive circuit 4003, 1st gate signal line drive circuit 4004a, and 2nd gate signal line drive circuit 4004b are prepared. In addition, in this invention, the number of a source signal-line drive circuit and gate signal line drive circuits is not limited to the number shown in drawing 16 (A). The number of a source signal-line drive circuit and gate signal line drive circuits can be suitably set up by the designer. Moreover, although the source signal-line drive circuit and the gate signal line drive circuit are prepared on the TFT substrate in this example, this invention is not limited to this configuration. You may make it connect electrically with the pixel section the source signal-line drive circuit and gate signal line drive circuit which were prepared on the substrate other than a TFT substrate with external connection terminals, such as FPC and TAB.

[0142] 4005a is leading-about wiring connected to the current supply line (not shown) formed in the pixel section 4002. 4005b is leading-about wiring for the gates connected to the 1st and 2nd gate signal line drive circuits 4004a and 4004b. Moreover, 4005c is leading-about wiring for the sources connected to the source signal-line drive circuit 4003.

[0143] Leading-about wiring 4005b for the gates and leading-about wiring 4005c for the sources are connected to IC prepared in the exterior of a substrate 4001 through FPC4006. Moreover, leading-about wiring 4005a is connected to the power source prepared in the exterior of a substrate 4001 through FPC4006.

[0144] The enlarged drawing of leading-about wiring 4005a is shown in drawing 16 (B). As for leading-about wiring for R, and 4101, 4100 is [leading-about wiring for G and 4102] leading-about wiring for B.

[0145] If the ratio of the current density of EL layer of the EL element for R, the current density of EL layer of the EL element for G, and the current density of EL layer of the EL element for B sets to 1.15:1.29:1, in this invention, it is important for the width of face W_r of the leading-about wiring 4100 for R, the width of face W_g of the leading-about wiring 4101 for G, and the width of face W_b of the leading-about wiring 4102 for B that it is $W_g > W_r > W_b$. It is more desirable than the formula 3 shown in the gestalt of operation that it is $W_r : W_g : W_b \approx 1.15 : 1.29 : 1$ more preferably.

[0146] Are concerned, there is nothing in the number of the pixels of a white display, and the above-mentioned configuration of this invention enables it to prepare the balance of the luminescence brightness of each pixel of R, G, and B.

[0147] Drawing 17 (A) is the plan of EL display formed by closing the TFT substrate shown in drawing 16 (A) with a sealing material, and a sectional view [in / in drawing 17 (B) / A-A' of drawing 17 (A)] and drawing 17 (C) are the sectional views in B-B' of drawing 17 (A). In addition, what was already shown in drawing 16 is shown using the same sign.

[0148] The sealant 4009 is formed as the pixel section 4002 prepared on the substrate 4001, the source signal-line drive circuit 4003, and the 1st and the 2nd gate signal line drive circuit 4004a and b are surrounded. Moreover, the sealing material 4008 is formed on the pixel section 4002, the source signal-line drive circuit 4003, and the 1st and the 2nd gate signal line drive circuit 4004a and b. Therefore, the pixel section 4002, the source signal-line drive circuit 4003, and the 1st and the 2nd gate signal line drive circuit 4004a and b are sealed with the filler 4210 by the substrate 4001, the sealant 4009, and the sealing material 4008.

[0149] Moreover, the pixel section 4002 prepared on the substrate 4001, the source signal-line drive circuit 4003, and the 1st and the 2nd gate signal line drive circuit 4004a and b have two or more TFT(s). In drawing 17 (B), TFT4202 for EL drive (TFT which controls the current which flows to an EL element) typically contained in the drive TFT (however, n channel mold TFT and p channel mold TFT are illustrated here) 4201 and the pixel section 4002 which were formed on the substrate film 4010, and which are contained in the source signal-line drive circuit 4003 was illustrated.

[0150] In this example, the p channel mold TFT or the n channel mold TFT produced by the well-known approach is used for drive TFT4201, and the p channel mold TFT produced by the well-known approach is used for TFT4202 for EL drive. Moreover, the retention volume (not shown) connected to the gate of TFT4202 for EL drive is prepared in the pixel section 4002.

[0151] On drive TFT4201 and TFT4202 for EL drive, an interlayer insulation film (flattening film) 4301 is formed, and the pixel electrode (anode plate) 4203 electrically connected with the drain of TFT4202 for EL drive is formed on it. As a pixel electrode 4203, the large transparency electric conduction film of a work function is used. As transparency electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transparency electric conduction film.

[0152] And an insulator layer 4302 is formed on the pixel electrode 4203, and, as for the insulator layer 4302, opening is formed on the pixel electrode 4203. In this opening, the EL (electroluminescence) layer 4204 is formed on the pixel electrode 4203. The EL layer 4204 can use a well-known organic electroluminescence ingredient or inorganic EL ingredient. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient as organic electroluminescence ingredient.

[0153] The formation approach of the EL layer 4204 should just use a well-known vacuum evaporation technique or the applying method technique. Moreover, what is necessary is just to make structure of EL layer into a laminated structure or monolayer structure, combining freely a hole-injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, or an electron injection layer.

[0154] On the EL layer 4204, the cathode 4205 which consists of electric conduction film (the electric conduction film which uses aluminum, copper, or silver as a principal component typically, or cascade screen of them and other electric conduction film) which has protection-from-light nature is formed. Moreover, as for the moisture which exists in the interface of cathode 4205 and the EL layer 4204, or oxygen, eliminating as much as possible is desirable. Therefore, the device of forming the EL layer 4204 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4205, making neither oxygen nor moisture touched is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method). And the electrical potential difference predetermined in cathode 4205 is given.

[0155] EL element 4303 which consists of the pixel electrode (anode plate) 4203, an EL layer 4204, and cathode 4205 as mentioned above is formed. And the protective coat 4303 is formed on the insulator layer 4302 so that EL element 4303 may be covered. The protective coat 4303 is effective for preventing oxygen, moisture, etc. entering into EL element 4303.

[0156] 4005a is leading-about wiring connected to the current supply line, and is electrically connected to the source field of TFT4202 for EL drive. Leading-about wiring 4005a passes along between a sealant 4009 and substrates 4001, and is electrically connected to the wiring 4301 for FPC which FPC4006 has through the anisotropic conductive film 4300.

[0157] As a sealing material 4008, glass material, metal material (typically stainless steel material), ceramic material, and plastics material (plastic film is also included) can be used. As plastics material, an FRP (Fiberglass Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic resin film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil with the PVF film or the Mylar film can also be used.

[0158] However, covering material must be transparent when the direction of a light emission from an EL element goes to a covering material side. In that case, transparency matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.

[0159] Moreover, the ultraviolet-rays hardening resin or heat-curing resin other than a gas with nitrogen, an argon, etc. inactive as a filler 4210 can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. In this example, nitrogen was used as a filler.

[0160] Moreover, in order to expose the filler 4210 to the matter which can adsorb the hygroscopic matter (preferably barium oxide) or oxygen, the matter 4207 which establishes a crevice 4007 in the field by the side of a sealing material's 4008 substrate 4001, and can adsorb the hygroscopic matter or oxygen is arranged. And the matter 4207 which can adsorb the hygroscopic matter or oxygen by the crevice covering material 4208 is held in the crevice 4007 so that the matter 4207 which can adsorb the hygroscopic matter or oxygen may not scatter. In addition, the crevice covering material 4208 is the shape of a fine mesh of an eye, and the matter 4207 with which air and moisture can adsorb through, the hygroscopic matter, or oxygen has composition which it does not let pass. Degradation of EL element 4303 can be controlled by forming the matter 4207 which can adsorb the hygroscopic matter or oxygen.

[0161] Conductive film 4203a is formed so that it may touch on leading-about wiring 4005a, at the same time the

pixel electrode 4203 is formed, as shown in drawing 17 (C).

[0162] Moreover, the anisotropic conductive film 4300 has conductive filler 4300a. By carrying out thermocompression bonding of a substrate 4001 and FPC4006, the wiring 4301 for FPC on conductive film 4203a and FPC4006 on a substrate 4001 is electrically connected by conductive filler 4300a.

[0163] It combines with an example 1 – an example 5 freely, and this example can be carried out. (Example 7) By this example, after closing TFT and an EL element with a sealing material on a substrate, the example which changes a substrate is explained using drawing 18. In addition, what was shown in drawing 18 is the sectional view showing the making process in the pixel section.

[0164] In drawing 18 (A), 3101 is a substrate (henceforth a component formation substrate) with which a component is formed, and the stratum disjunctum 3102 which consists of amorphous silicon film is formed on it at the thickness of 100–500nm (this example 300nm). Although a glass substrate is used as a component formation substrate 3101 in this example, a quartz substrate, a silicon substrate, a metal substrate (SUS substrate), or a ceramic substrate may be used.

[0165] Moreover, membrane formation of stratum disjunctum 3102 should just use a reduced pressure heat CVD method, a plasma-CVD method, a spatter, or vacuum deposition. On stratum disjunctum 3102, the insulator layer 3103 which consists of silicon oxide film is formed at the thickness which is 200nm. Formation of an insulator layer 3103 should just use a reduced pressure heat CVD method, a plasma-CVD method, a spatter, or vacuum deposition.

[0166] Moreover, on the insulator layer 3103, TFT3104 for switching of the pixel section and TFT3105 for EL drive are formed. In addition, in this example, with the n channel mold TFT, as for this example, TFT3105 for EL drive is not limited for it to this configuration, although TFT3104 for switching showed the example which is the p channel mold TFT. Either the p channel mold TFT or the n channel mold TFT is OK as TFT3104 for switching, and TFT3105 for EL drive.

[0167] Moreover, in this example, although TFT3104 for switching has double-gate structure, TFT for switching may not be limited to this structure, but may be single gate structure or other multi-gate structures. By considering as double-gate structure like this example, two channel formation fields serve as structure connected to the serial, and an OFF state current value (current which flows when TFT is turned off) can be controlled effectively.

[0168] The 1st interlayer insulation film 3107 is formed on TFT3104 for switching, and TFT3105 for EL drive. The 1st interlayer insulation film 3107 is [0169] which covers TFT3104 for switching, and TFT3105 for EL drive, and is formed so that the pixel electrode 3106 formed behind may carry out flattening. Moreover, the pixel electrode 3106 is formed so that it may connect with the drain field of TFT3105 for EL drive electrically. In this example, the pixel electrode 3106 forms the transparence electric conduction film (it is the compound film of indium oxide and the tin oxide typically) in the thickness of 100nm, and is formed of patterning. The pixel electrode 3106 functions as an anode plate of an EL element.

[0170] After forming the pixel electrode 3106, the 2nd interlayer insulation film 3114 which consists of silicon oxide film is formed in the thickness which is 300nm. And opening 3108 is formed and the EL layer 3109 of 70nm thickness and the cathode 3110 of 300nm thickness are formed with vacuum deposition. In this example, the structure which carried out the laminating of the hole-injection layer of 20nm thickness and the luminous layer of 50nm thickness as an EL layer 3109 is used. Of course, other well-known structures which combined a hole-injection layer, an electron hole transportation layer, an electronic transportation layer, or electron injection with the luminous layer may be used.

[0171] EL element 3111 which consists of the pixel electrode (anode plate) 3106, an EL layer 3109, and cathode 3110 as mentioned above is formed. In this example, this EL element 3111 functions as a light emitting device.

[0172] Next, the substrate (henceforth a sealing material) 3113 for fixing a component with the 1st adhesives 3112 is stuck. Although flexible plastic film is used as a sealing material 3113 in this example, a glass substrate, a quartz substrate, a plastic plate, a silicon substrate, or a ceramic substrate may be used. Moreover, as the 1st adhesives 3112, in case stratum disjunctum 3102 is removed behind, it is necessary to use the ingredient which can take a selection ratio.

[0173] Although the insulator layer which consists of resin typically can be used and polyimide is used in this example, an acrylic, a polyamide, or an epoxy resin may be used. In addition, when it sees from an EL element and is located in a watcher side (user side of luminescence equipment), it is required to be the ingredient which penetrates light.

[0174] With the 1st adhesives 3112, an EL element can be completely intercepted from atmospheric air.

Degradation of the organic electroluminescence ingredient by oxidation can be controlled nearly completely by this, and the dependability of an EL element can be raised sharply.

[0175] Next, as shown in drawing 18 (B), stratum disjunctum 3102 is removed and the component formation substrate 3101 and an insulator layer 3103 are exfoliated. In this example, it exfoliates by exposing stratum disjunctum 3102 into the gas containing halogen fluoride. In this example, nitrogen is used as dilution gas, using chlorine trifluoride (ClF₃) as halogen fluoride. An argon, helium, or neon may be used as dilution gas. What is necessary is to set both flow rates to 500sccm(s) (8.35x10⁻⁶m³/s), and just to set reaction pressure to 1 – 10Torr (1.3x10² to 1.3x10³Pa). Moreover, processing temperature is good at a room temperature (typically 20–27 degrees C).

[0176] In this case, although the silicon film is etched, plastic film, a glass substrate, the polyimide film, and the silicon oxide film are not etched. That is, by exposing to chlorine trifluoride gas, stratum disjunctum 3102 is etched alternatively and, finally is removed completely. In addition, since it is covered with the 1st interlayer insulation film 3107, the barrier layer of TFT3104 for switching currently similarly formed by the silicon film and TFT3105 for EL drive is not exposed to chlorine trifluoride gas, and is not etched.

[0177] In the case of this example, stratum disjunctum 3102 is gradually etched from the exposed edge, and when removed completely, the component formation substrate 3101 and an insulator layer 3103 are separated. Although TFT and an EL element carry out the laminating of the thin film at this time and it is formed, it remains in the form moved by the sealing material 3113.

[0178] In addition, although stratum disjunctum 3102 will be etched from the edge here, if the component formation substrate 3101 becomes large, time amount until it is removed completely becomes long, and is not desirable. Therefore, when removing by etching, it is desirable for the component formation substrate 3101 to carry out in the case of 3 inches or less (1 inch or less of vertical angles [Preferably]) of vertical angles.

[0179] In addition, although etching stratum disjunctum 3102 into the bottom of a chlorine trifluoride gas ambient atmosphere removed in this example, this example is not limited to this configuration. Laser light is irradiated from the component formation substrate 3101 side at stratum disjunctum 3102, and the component formation substrate 3101 may be made to exfoliate by making stratum disjunctum 3102 evaporate. In this case, it is necessary to choose suitably the class of laser light, and the quality of the material of the component formation substrate 3101 so that laser light may pass the component formation substrate 3101. for example, a quartz substrate is used for the component formation substrate 3101 — if it becomes — an YAG laser (a fundamental wave (1064nm), the 2nd higher harmonic (532nm), the 3rd higher harmonic (355nm), the 4th higher harmonic (266nm)) or an excimer laser (wavelength of 308nm) — using — a line — what is necessary is to form a beam and just to pass a quartz substrate In addition, an excimer laser does not pass a glass substrate. therefore — if a glass substrate is used as a component formation substrate 3101 — the fundamental wave of an YAG laser, the 2nd higher harmonic wave, and the 3rd higher harmonic wave — using — desirable — the 2nd higher harmonic wave (wavelength of 532nm) — using — a line — what is necessary is to form a beam and just to pass a glass substrate

[0180] Moreover, when exfoliating using laser light, what is evaporated with the laser light irradiated as stratum disjunctum 3102 is used.

[0181] Moreover, the component formation substrate 3101 may be made to exfoliate by dissolving the stratum disjunctum 3102 other than the approach using laser light with a solution. In this case, it is desirable to use a solution which only stratum disjunctum 3102 dissolves alternatively.

[0182] In this way, if TFT and an EL element are moved to a sealing material 3113, as shown in drawing 18 (C), the 2nd adhesives 3114 will be formed and the 2nd-element formation substrate 3115 will be stuck. The insulator layer (typically polyimide, an acrylic, a polyamide, or an epoxy resin) which consists of resin as the 2nd adhesives 3114 may be used; and an inorganic insulator layer (typically silicon oxide film) may be used. In addition, when it sees from an EL element and is located in a watcher side, it is required to be the ingredient which penetrates light.

[0183] In this way, TFT and an EL element are moved from the component formation substrate 3101 to the 2nd-element formation substrate 3115. Consequently, EL display inserted by the sealing material 3113 and the 2nd-element formation substrate 3115 can be obtained. Effect of the stress-strain diagram by the temperature change can be made hard to be influenced, since a coefficient of thermal expansion will become equal if a sealing material 3113 and the 2nd-element formation substrate 3115 are used as the same ingredient here.

[0184] EL display produced by this example can choose the ingredient of a sealing material 3113 and the 2nd-element formation substrate 3115, without being influenced by the thermal resistance at the time of the process of TFT. For example, a plastic plate can be used as a sealing material 3113 and a 2nd-element formation

substrate 3115, and it is also possible to create flexible EL display.

[0185] In addition, this example can be carried out, combining freely the configuration shown in examples 1-6.

[0186] (Example 8) This example explains the example which forms the DLC film in the whole front face of EL display, or the edge of EL display.

[0187] Drawing 19 (A) is the sectional view of EL display in which the DLC film was formed on the whole front face. TFT3205 for switching and TFT3204 for EL drive are formed on the substrate 3201. 3203 is an EL element and the current which flows to EL element 3203 by TFT3204 for EL drive is controlled.

[0188] TFT3205 for switching, TFT3204 for EL drive, and EL element 3203 are sealed by the sealing material 3202 and the sealant 3208, and are intercepted from the open air. 3209 took about, it is wiring, and passed along between a sealant 3208 and substrates 3201, and has exposed it out of the space where EL element 3203 was sealed.

[0189] 3210 is the DLC film and has covered the whole EL display except for some leading-about wiring 3209 exposed out of the space where EL element 3203 was sealed.

[0190] In addition, in this example, membrane formation of the DLC film should just use an ECR plasma-CVD method, RF plasma-CVD method, mu wave plasma-CVD method, or a spatter. As a description of the DLC film, it has an unsymmetrical peak about [1550cm⁻¹] in one, and has the Raman spectrum distribution which takes sides at least in 1300cm⁻¹. Moreover, when it measures with a micro hardness tester, it has the description that the degree of hardness of 15-25GPa is shown. Such a carbon film has the description from which the front face of a substrate is protected. Since it is easy to attach a blemish especially in the case of a plastic plate, it is effective in preventing a blemish to cover a front face by the DLC film like drawing 19 (A).

[0191] Moreover, the DLC film is effective in preventing penetration of oxygen and water. Therefore, by forming the DLC film 3210 so that a sealant 3208 may be covered like this example, the matter to which degradation of the moisture from the outside, oxygen, etc. of EL layer is urged can prevent advancing into the space where EL element 3203 is sealed.

[0192] In addition, in case the DLC film 3210 is formed, some leading-about wiring 3209 exposed out of the space where EL element 3203 was sealed is covered with a resist mask etc., and this resist mask after DLC film 3210 formation is removed. It connects with the wiring 3211 for FPC by which it is not covered with the DLC film 3210 and to which some wiring 3209 was formed in FPC3211 with the anisotropy electric conduction film 3213 by taking about.

[0193] Drawing 19 (B) is the sectional view of EL display at the time of forming the DLC film in the edge of EL display. TFT3305 for switching and TFT3304 for EL drive are formed on the substrate 3301. 3303 is an EL element and the current which flows to EL element 3303 by TFT3304 for EL drive is controlled.

[0194] TFT3305 for switching, TFT3304 for EL drive, and EL element 3303 are sealed by the sealing material 3302 and the sealant 3308, and are intercepted from the open air. 3309 took about, it is wiring, and passed along between a sealant 3308 and substrates 3301, and has exposed it out of the space where EL element 3303 was sealed.

[0195] 3310 is the DLC film, except for some leading-about wiring 3309 exposed out of the space where EL element 3303 was sealed, covers some sealing materials 3302, some substrates 3301, and a sealant 3308, and is formed.

[0196] The DLC film 3310 is effective in preventing penetration of oxygen and water. Therefore, by forming the DLC film 3310 so that a sealant 3308 may be covered like this example, the matter to which degradation of the moisture from the outside, oxygen, etc. of EL layer is urged can prevent advancing into the space where EL element 3303 is sealed.

[0197] Since EL display shown by drawing 19 (B) forms the DLC film 3310 only in the edge (part containing a sealant) of EL display, membrane formation of the DLC film 3310 is easy for it.

[0198] In addition, in case the DLC film 3310 is formed, some leading-about wiring 3309 exposed out of the space where EL element 3303 was sealed is covered with a resist mask etc., and this resist mask after DLC film 3310 formation is removed. It connects with the wiring 3311 for FPC by which it is not covered with the DLC film 3310 and to which some wiring 3309 was formed in FPC3311 with the anisotropy electric conduction film 3313 by taking about.

[0199] In addition, this example can be carried out, combining freely the configuration shown in examples 1-7.

[0200] (Example 9) Since EL display formed by carrying out this invention is a spontaneous light type, it is excellent in the visibility in a bright location compared with a liquid crystal display, and moreover, its angle of visibility is large. Therefore, it can use for the display of various electronic equipment. For example, it is good to

use EL display of this invention for appreciating TV broadcast etc. by the big screen as a display of the EL display (electronic equipment which built EL display into the case) of 30 inches or more (typically 40 inches or more) of vertical angles.

[0201] In addition, all displays for information displays, such as a PC monitor, a display for TV broadcast reception, and a display for an advertising display, are included in EL indicating equipment. Moreover, in addition to this, EL display of this invention can be used as a display of various electronic equipment.

[0202] As electronic equipment of such this invention, the picture reproducer (equipment equipped with the display which specifically reproduces record media, such as Digital Versatile Disc (DVD), and can display the image) equipped with a video camera, a digital camera, a goggles mold display (head mount display), a navigation system, sound systems (a car audio, audio component stereo, etc.), a note type personal computer, a game device, Personal Digital Assistants (a mobile computer, a cellular phone, a handheld game machine, or digital book), and a record medium etc. is mentioned. Since importance is attached to the size of an angle of visibility, as for especially the Personal Digital Assistant with seeing [much] from across, it is desirable to use EL display. The example of these electronic equipment is shown in drawing 12 and drawing 13.

[0203] Drawing 12 (A) is an EL display and contains a case 2001, susceptor 2002, and display 2003 grade. EL display of this invention can be used for a display 2003. Since it is a spontaneous light type, EL indicating equipment has an unnecessary back light, and it can be made into a display thinner than a liquid crystal display.

[0204] Drawing 12 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and television section 2106 grade. EL display of this invention can be used for a display 2102.

[0205] Drawing 12 (C) is some luminescence equipments (right one side) of a head installation mold, and contains a body 2201, a signal cable 2202, the head fixed band 2203, the screen section 2204, optical system 2205, and display 2206 grade. EL display of this invention can be used for a display 2206.

[0206] Drawing 12 (D) is the picture reproducer (specifically DVD regenerative apparatus) equipped with the record medium, and contains a body 2301, record media (DVD etc.) 2302, the actuation switch 2303, a display (a) 2304, and (Display b) 2305 grade. although a display (a) 2304 mainly displays image information and a display (b) 2305 mainly displays text — EL display of this invention — these displays (a) and (b) — it can use for 2304 and 2305. In addition, a home video game machine machine etc. is contained in the picture reproducer equipped with the record medium.

[0207] Drawing 12 (E) is a goggles mold display (head mount display), and contains a body 2401, a display 2402, and the arm section 2403. EL display of this invention can be used for a display 2402.

[0208] Drawing 12 (F) is a personal computer and contains a body 2501, a case 2502, a display 2503, and keyboard 2504 grade. EL display of this invention can be used for a display 2503.

[0209] In addition, if the luminescence brightness of EL ingredient will become high in the future, it will also become possible to carry out expansion projection of the light containing the outputted image information with a lens etc., and to use for the projector of a front mold or a rear mold.

[0210] Moreover, the above-mentioned electronic equipment displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable television), and its opportunity to display especially animation information has been increasing. Since the speed of response of EL ingredient is very high, EL display is desirable to a movie display.

[0211] Moreover, in order that the part which is emitting light may consume power, as for EL display, it is desirable to display information that the amount of light-emitting part decreases as much as possible. Therefore, when using EL display for the display which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a sound system, it is desirable to drive so that text may be formed by part for a light-emitting part by making a nonluminescent part into a background.

[0212] Drawing 13 (A) is a cellular phone and contains a body 2601, the voice output section 2602, the voice input section 2603, a display 2604, the actuation switch 2605, and an antenna 2606. EL display of this invention can be used for a display 2604. In addition, a display 2604 can stop the power consumption of a cellular phone by displaying a white alphabetic character on a black background.

[0213] Moreover, drawing 13 (B) is a car audio and includes a body 2701, a display 2702, and the actuation switches 2703 and 2704 in a sound system and a concrete target. EL display of this invention can be used for a display 2702. Moreover, although this example shows the audio for mount, you may use for a pocket mold or a sound system for home use. In addition, a display 2702 can stop power consumption by displaying a white alphabetic character on a black background. Especially this is effective in the sound system of a pocket mold.

[0214] As mentioned above, the applicability of this invention is very wide, and using for the electronic equipment of all fields is possible. Moreover, the electronic equipment of this example may use EL display of which configuration shown in examples 1-8.

[0215]

[Effect of the Invention]

[0216] Are concerned, there is nothing in the number of the pixels of a white display, and the configuration of this invention enables it to prepare the balance of the luminescence brightness of each pixel of R, G, and B.

[0217] Moreover, in this invention, the pixel which requires a large electrical potential difference for an EL element may enlarge the amplitude of the video signal to input. By the above-mentioned configuration, when the electrical potential difference of a current supply line is made high, it can prevent the OFF state current of TFT for EL drive increasing.

[0218] Moreover, channel width (W) of TFT for EL drive of the pixel connected to the current supply line with the large absolute value of a current at coincidence may be enlarged more. Even if the amount of this invention of the current on which TFT for EL drive controls a current supply line by the above-mentioned configuration when the absolute value of the flowing current becomes large increases, degradation of TFT for EL drive can be suppressed. and — in addition — and the value of the electrical potential difference impressed to an EL element enables it to adjust the luminescence brightness of the EL element, and it enables the balance of red and blue and green luminescence brightness to display a good vivid image.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the configuration of EL display of this invention.

[Drawing 2] Drawing showing the pixel configuration of EL display.

[Drawing 3] The block diagram of the source signal-line drive circuit of EL indicating equipment of this invention.

[Drawing 4] The representative circuit schematic of a level-shifter circuit.

[Drawing 5] The plan and sectional view of TFT.

[Drawing 6] The circuit diagram of the pixel of EL display.

[Drawing 7] The circuit diagram of the pixel of EL display.

[Drawing 8] Drawing showing the making process of EL display.

[Drawing 9] Drawing showing the making process of EL display.

[Drawing 10] Drawing showing the making process of EL display.

[Drawing 11] Drawing showing the making process of EL display.

[Drawing 12] Drawing showing the example of electronic equipment.

[Drawing 13] Drawing showing the example of electronic equipment.

[Drawing 14] Drawing showing the configuration of the conventional EL display.

[Drawing 15] Drawing showing the electrical-potential-difference-brightness property of an organic electroluminescence ingredient.

[Drawing 16] The plan of the TFT substrate of EL display of this invention.

[Drawing 17] The general-view Fig. and sectional view of EL display of this invention.

[Drawing 18] Drawing showing the creation process of EL display of this invention.

[Drawing 19] The sectional view of EL display of this invention using the DLC film.

[Description of Notations]

101 Pixel Section
102 Source Signal-Line Drive Circuit
103 Gate Signal Line Drive Circuit
104 Current Supply Line
105 Drawer Terminal
106 Pixel
107 Leading-about Wiring
107r Leading-about wiring for R
107g Leading-about wiring for G
107b Leading-about wiring for B

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151276

(P2002-151276A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 5 B 33/26		H 0 5 B 33/26	Z 3 K 0 0 7
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 5 C 0 8 0
	3 3 8		3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z
H 0 5 B 33/06		H 0 5 B 33/06	
審査請求 未請求 請求項の数24 O L (全 25 頁) 最終頁に続く			

(21) 出願番号 特願2001-238812(P2001-238812)
(22) 出願日 平成13年8月7日(2001.8.7)
(31) 優先権主張番号 特願2000-242718(P2000-242718)
(32) 優先日 平成12年8月10日(2000.8.10)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 犬飼 和隆
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

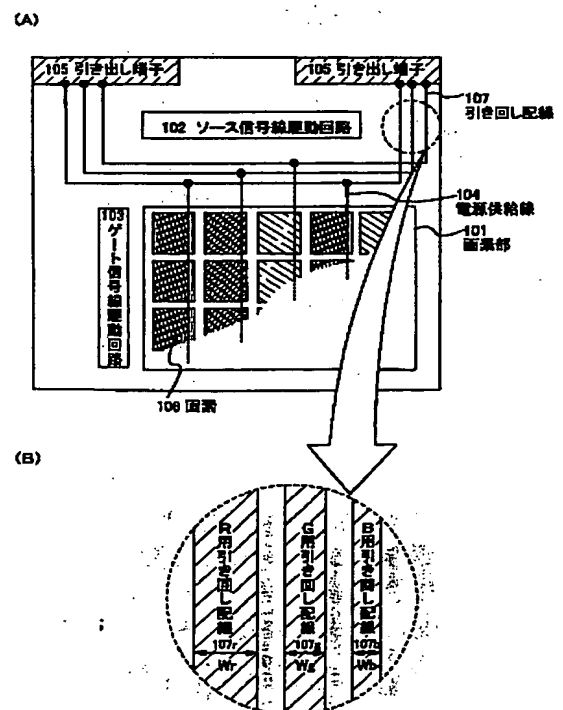
最終頁に続く

(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】 EL素子の色のバランスが良く、なおかつ発光輝度のバランスが良い、色鮮やかな画像を表示することが可能な表示装置を提供する。

【解決手段】 EL素子に流す電流を大きくしたい画素ほど、該画素のEL素子に電圧または電流を供給する引き回し配線の幅を大きくした。これによって、EL素子に流す電流を大きくしたい画素ほど、該画素のEL素子に電圧または電流を供給する引き回し配線の配線抵抗が小さくなる。配線抵抗が小さくなると、引き回し配線における電位降下が小さくなり、EL素子に流す電流を大きくすることが可能になる。なお実際のパネルでは、引き回し配線を配置するスペースは限られているので、各色における引き回し配線の幅の比を変えることで、各色のEL素子に流れる電流の大きさのバランスを取ることが可能である。



(2)

1

【特許請求の範囲】

【請求項 1】複数の EL 素子と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

前記外部接続端子と前記複数の電源供給線とは前記複数の引き回し配線を介して電氣的に接続されており、前記複数の電源供給線は、前記複数の EL 素子が有する画素電極に電氣的に接続されており、前記複数の EL 素子を駆動させるときに前記複数の電源供給線を流れる電流の絶対値が大きいほど、前記複数の電源供給線にそれぞれ接続されている前記複数の引き回し配線の幅が大きいことを特徴とする表示装置。

【請求項 2】請求項 1 において、前記複数の EL 素子を駆動させるときに前記複数の電源供給線を流れる電流の絶対値が大きいほど、前記複数の電源供給線の幅が大きいことを特徴とする表示装置。

【請求項 3】複数の画素と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

前記複数の画素は、前記複数の電源供給線のいずれか 1 つと、EL 素子と、スイッチング用 TFT と、EL 駆動用 TFT とを有しており、

前記スイッチング用 TFT は前記 EL 駆動用 TFT のスイッチングを制御しており、

前記 EL 駆動用 TFT によって、前記複数の電源供給線のいずれか 1 つの電位が、前記 EL 素子が有する画素電極に与えられ、

前記外部接続端子と前記複数の電源供給線とは前記複数の引き回し配線を介して電氣的に接続されており、

前記 EL 素子を駆動させるときに前記複数の電源供給線を流れる電流の絶対値が大きいほど、前記複数の電源供給線にそれぞれ接続されている前記複数の引き回し配線の幅が大きいことを特徴とする表示装置。

【請求項 4】請求項 3 において、前記 EL 素子を駆動させるときに前記複数の電源供給線を流れる電流の絶対値が大きいほど、前記 EL 駆動用 TFT が有するチャンネル形成領域のチャンネル幅が大きいことを特徴とする表示装置。

【請求項 5】請求項 3 または請求項 4 において、前記 EL 素子を駆動させるときに前記複数の電源供給線を流れる電流の絶対値が大きいほど、前記 EL 駆動用 TFT が有する LDD 領域の長さが長いことを特徴とする表示装置。

【請求項 6】請求項 3 乃至請求項 5 のいずれか 1 項において、前記 EL 素子を駆動させるときに前記複数の電源供給線を流れる電流の絶対値が大きいほど、前記複数の電源供給線の幅が大きいことを特徴とする表示装置。

【請求項 7】複数の EL 素子と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

2

前記複数の EL 素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた EL 層とをそれぞれ有し、

前記外部接続端子と前記複数の電源供給線とは前記複数の引き回し配線を介して電氣的に接続されており、前記複数の電源供給線は、前記複数の EL 素子がそれぞれ有する前記画素電極に電氣的に接続されており、前記複数の EL 素子を駆動させるときにおける、前記複数の EL 素子がそれぞれ有する前記 EL 層の電流密度が大きいほど、前記複数の電源供給線にそれぞれ接続されている前記複数の引き回し配線の幅が大きいことを特徴とする表示装置。

【請求項 8】請求項 7 において、前記複数の EL 素子を駆動させるときにおける、前記複数の EL 素子がそれぞれ有する前記 EL 層の電流密度が大きいほど、前記複数の電源供給線の幅が大きいことを特徴とする表示装置。

【請求項 9】複数の画素と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

前記複数の画素は、前記複数の電源供給線のいずれか 1 つと、EL 素子と、スイッチング用 TFT と、EL 駆動用 TFT とを有しており、

前記 EL 素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられた EL 層とを有しており、

前記スイッチング用 TFT は前記 EL 駆動用 TFT のスイッチングを制御しており、

前記 EL 駆動用 TFT によって、前記複数の電源供給線のいずれか 1 つの電位が、前記 EL 素子が有する画素電極に与えられ、

前記外部接続端子と前記複数の電源供給線とは前記複数の引き回し配線を介して電氣的に接続されており、

前記 EL 素子を駆動させるときにおける、前記 EL 素子が有する前記 EL 層の電流密度が大きいほど、前記複数の電源供給線にそれぞれ接続されている前記複数の引き回し配線の幅が大きいことを特徴とする表示装置。

【請求項 10】請求項 9 において、前記 EL 素子を駆動させるときにおける、前記 EL 素子が有する前記 EL 層の電流密度が大きいほど、前記 EL 駆動用 TFT が有するチャンネル形成領域のチャンネル幅が大きいことを特徴とする表示装置。

【請求項 11】請求項 9 または請求項 10 において、前記 EL 素子を駆動させるときにおける、前記 EL 素子が有する前記 EL 層の電流密度が大きいほど、前記 EL 駆動用 TFT が有する LDD 領域の長さが長いことを特徴とする表示装置。

【請求項 12】請求項 9 乃至請求項 11 のいずれか 1 項において、前記 EL 素子を駆動させるときにおける、前記 EL 素子が有する前記 EL 層の電流密度が大きいほど、前記複数の電源供給線の幅が大きいことを特徴とする

(3)

3

る表示装置。

【請求項13】複数の画素と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

前記複数の画素は、前記複数の電源供給線のいずれか1つと、EL素子と、スイッチング用TFTと、EL駆動用TFTとを有しており、

前記スイッチング用TFTを介して前記EL駆動用TFTのゲート電極にビデオ信号が入力されており、

前記EL駆動用TFTによって、前記複数の電源供給線のいずれか1つの電位が、前記EL素子が有する画素電極に与えられ、

前記外部接続端子と前記複数の電源供給線とは前記複数の引き回し配線を介して電氣的に接続されており、

前記EL素子を駆動させるときに前記複数の電源供給線を通る電流の絶対値が大きいほど、前記複数の電源供給線にそれぞれ接続されている前記複数の引き回し配線の幅が大きくなっており、

前記EL素子を駆動させるときに前記複数の電源供給線を通る電流の絶対値が大きい画素ほど、前記EL駆動用TFTのゲート電極に入力されるビデオ信号の振幅が大きいことを特徴とする表示装置。

【請求項14】請求項13において、前記EL素子を駆動させるときに前記複数の電源供給線を通る電流の絶対値が大きいほど、前記EL駆動用TFTが有するチャンネル形成領域のチャンネル幅が大きいことを特徴とする表示装置。

【請求項15】請求項13または請求項14において、前記EL素子を駆動させるときに前記複数の電源供給線を通る電流の絶対値が大きいほど、前記EL駆動用TFTが有するLDD領域の長さが長いことを特徴とする表示装置。

【請求項16】請求項13乃至請求項15のいずれか1項において、前記EL素子を駆動させるときに前記複数の電源供給線を通る電流の絶対値が大きいほど、前記複数の電源供給線の幅が大きいことを特徴とする表示装置。

【請求項17】複数の画素と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

前記複数の画素は、前記複数の電源供給線のいずれか1つと、EL素子と、スイッチング用TFTと、EL駆動用TFTとを有しており、

前記EL素子は画素電極と、対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、

前記スイッチング用TFTを介して前記EL駆動用TFTのゲート電極にビデオ信号が入力されており、

前記EL駆動用TFTによって、前記複数の電源供給線のいずれか1つの電位が、前記EL素子が有する画素電

4

極に与えられ、

前記外部接続端子と前記複数の電源供給線とは前記複数の引き回し配線を介して電氣的に接続されており、

前記EL素子を駆動させるときにおける、前記EL素子が有する前記EL層の電流密度が大きいほど、前記複数の電源供給線にそれぞれ接続されている前記複数の引き回し配線の幅が大きくなっており、

前記EL素子を駆動させるときにおける、前記EL素子が有する前記EL層の電流密度が大きい画素ほど、前記EL駆動用TFTのゲート電極に入力されるビデオ信号の振幅が大きいことを特徴とする表示装置。

【請求項18】請求項17において、前記EL素子を駆動させるときにおける、前記EL素子が有する前記EL層の電流密度が大きいほど、前記EL駆動用TFTが有するチャンネル形成領域のチャンネル幅が大きいことを特徴とする表示装置。

【請求項19】請求項17または請求項18のいずれか1項において、前記EL素子を駆動させるときにおける、前記EL素子が有する前記EL層の電流密度が大きいほど、前記EL駆動用TFTが有するLDD領域の長さが長いことを特徴とする表示装置。

【請求項20】請求項17乃至請求項19のいずれか1項において、前記EL素子を駆動させるときにおける、前記EL素子が有する前記EL層の電流密度が大きいほど、前記複数の電源供給線の幅が大きいことを特徴とする表示装置。

【請求項21】複数の画素を有する表示装置であって、前記複数の画素は、EL素子と、スイッチング用TFTと、EL駆動用TFTとをそれぞれ有しており、

前記スイッチング用TFTは前記EL駆動用TFTのスイッチングを制御しており、

前記EL駆動用TFTは前記EL素子の発光を制御しており、

前記EL駆動用TFTのゲート電極に入力される信号の電圧は、前記EL素子の発する光の色によって異なっていることを特徴とする表示装置。

【請求項22】複数のEL素子と、複数の電源供給線と、複数の引き回し配線と、外部接続端子とを有する表示装置であって、

前記外部接続端子と前記複数の電源供給線は、前記複数の引き回し配線のそれぞれ異なる1つを介して、電氣的に接続されており、

前記複数のEL素子がそれぞれ有する画素電極は、前記複数の電源供給線の、それぞれ異なる1つに電氣的に接続されており、

前記複数の各EL素子は、互いに異なるEL材料を有しており、

前記複数の引き回し配線の幅が互いに異なっていることを特徴とする表示装置。

【請求項23】請求項1乃至請求項22のいずれか1項

5

において、前記表示装置を有することを特徴とする電子機器。

【請求項24】請求項23において、ELディスプレイ、ビデオカメラ、頭部取り付け型の発光装置、画像再生装置、ゴーグル型ディスプレイ、パーソナルコンピュータ、携帯電話または音響再生装置であることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたEL（エレクトロルミネッセンス）表示装置及びそのEL表示装置を表示部に用いる電子機器（電子デバイス）に関する。

【0002】

【従来の技術】近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。そして、アクティブマトリクス型表示装置の中でも特に、自発光型素子としてEL素子を有したアクティブマトリクス型EL表示装置の研究が活発化している。EL表示装置は有機ELディスプレイ（OLED：Organic EL Display）又は有機ライトエミッティングダイオード（OLED：Organic Light Emitting Diode）とも呼ばれている。

【0003】EL表示装置は、液晶表示装置と異なり自発光型である。EL素子是一对の電極間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているEL表示装置は殆どこの構造を採用している。

【0004】有機EL材料におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明のEL素子は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0005】また他にも、画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。EL層に対して蛍光性色素等をドーピングしても良い。

【0006】そして、上記構造でなるEL層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてEL素子が発光することを、EL素子が駆動すると呼ぶ。

【0007】なお、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

(4)

6

【0008】図14に、代表的なアクティブマトリクス型EL表示装置（以下、EL表示装置）の構造を示す。図14（A）はEL表示装置の画素部とその駆動回路の配置を示している。901は画素部、902はソース信号線駆動回路、903はゲート信号線駆動回路、905は引き出し端子である。

【0009】画素部901は複数の画素906を有している。904は画素部901に設けられた電源供給線であり、全ての画素906が有するEL素子の画素電極に電位を与えている。電源供給線904は引き回し配線907に接続されており、引き回し配線907は引き出し端子905を介して外部の電源に接続されている。

【0010】ゲート信号線駆動回路903からゲート信号線913に入力される選択信号によって画素906が選択される。そしてソース信号線駆動回路902からソース信号線912に入力されるビデオ信号によって、電源供給線904の電位が選択された画素906に与えられ、画素906に画像の一部が表示される。

【0011】図14（A）に示した画素906のうち、R（赤）、G（緑）、B（青）にそれぞれ対応する画素の回路図を図14（B）に示す。

【0012】図14（B）において、R用画素906rと、G用画素906gと、B用画素906bは、共通のゲート信号線913を有している。また、R用画素906rはR用ソース信号線912rを、G用画素906gはG用ソース信号線912gを、B用画素906bはB用ソース信号線912bをそれぞれ有している。

【0013】R用画素906rと、G用画素906gと、B用画素906bとは、スイッチング用TFT910及びEL駆動用TFT911をそれぞれ有している。またR用画素906rはR用EL素子915rを、G用画素906gはG用EL素子915gを、B用画素906bはB用EL素子915bをそれぞれ有している。

【0014】ゲート信号線913に選択信号が入力されると、ゲート信号線913にそのゲート電極が接続されたスイッチング用TFT910が全てオンの状態になる。この状態を本明細書ではゲート信号線913が選択されていると呼ぶ。

【0015】そして、R用ソース信号線912r、G用ソース信号線912g及びB用ソース信号線912bに入力されたビデオ信号が、オンの状態のスイッチング用TFT910を介して、R用EL素子915r、G用EL素子915g及びB用EL素子915bにそれぞれ入力され、EL駆動用TFT911のゲート電極に入力される。

【0016】ビデオ信号がEL駆動用TFT911のゲート電極に入力されると、R用電源供給線914rの電位がR用EL素子915rの画素電極に、G用電源供給線914gの電位がG用EL素子915gの画素電極に、B用電源供給線914bの電位がB用EL素子91

(5)

7

5 bの画素電極にそれぞれ与えられる。その結果、R用EL素子915 r、G用EL素子915 g及びB用EL素子915 bが発光し、R用画素906 r、G用画素906 g及びB用画素906 bが表示を行う。

【0017】ところで、EL表示装置には大きく分けて四つのカラー化表示方式があり、図14に示したEL表示装置のようにR(赤)G(緑)B(青)に対応した三種類の有機EL材料からなるEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を使用してRGBに対応したEL素子を重ねる方式がある。

【0018】そして一般的には、EL層にかかる電圧が同じであっても、EL層に用いられている有機EL材料によって、EL層の発光輝度は異なる。図15に各色のEL層の電圧-輝度特性を示す。図15に示すように、EL層への印加電圧に対する発光輝度は、各色のEL素子に用いられる有機EL材料によって異なっている。これは、有機EL材料によって、同じ印加電圧における電流密度の大きさが異なるためである。

【0019】また電流密度が同じであっても、有機EL材料によって同じ電流密度における発光輝度は異なっている。

【0020】そのため、一般的にEL表示装置は、3色のEL素子の発光輝度のバランスをそろえるために、各色の画素に対応する電源供給線の電位の高さをそれぞれ調整している。

【0021】

【発明が解決しようとする課題】引き回し配線を介して画素部に流れる電流の大きさは、画素部において白表示を行っている画素の数で決まる。なお白表示を行っている画素とは、発光している状態のEL素子を有する画素を意味する。白表示を行っている画素が多いほど、引き回し配線を介して画素部に流れる電流が大きくなる。

【0022】引き回し配線を流れる電流が大きくなると、引き回し配線において電位降下が起こる。そのため、白表示を行っている画素の数が多いときと少ないときとでは、多いときのほうが、1つのEL素子にかかる電圧が小さくなり、画素1つあたりの発光輝度が低くなる。

【0023】とくにカラー表示のEL表示装置の場合、各色のEL素子にかかる電圧の大きさをそれぞれ調整し、各色のEL素子に流れる電流の大きさを変えている。流れる電流が大きい画素ほど、該画素に対応する引き回し配線の電位降下が大きくなる。そのため、各色のEL素子にかかる電圧の大きさをそれぞれ調整していても、白表示の画素が多いときと少ないときとでは、3色のEL素子を流れる電流の比率が変わってしまう。

【0024】よって、白表示の画素の数が変わると、3

8

つの色にそれぞれ対応する画素の発光輝度のバランスが崩れるという事態が生じる。

【0025】また、従来のEL表示装置では、EL素子に流そうとする電流の大きさが各色ごとに異なっており、そのためEL素子に加える電圧も異なっていた。しかしEL素子と電源供給線との間にスイッチング素子として設けられたEL駆動用TFTのLDD幅や、チャネル幅は全て同じであり、また全てのEL駆動用TFTのゲート電極に入力されるデジタル信号の電圧の振幅も同じであった。このため、電源供給線にかかる電圧の高さによって、EL駆動用TFTが劣化されてしまう。またEL駆動用TFTのゲート電極に入力されるデジタル信号の電圧の振幅が必要以上に大きいと、消費電力を抑えることができない。

【0026】上記問題に鑑み、本発明は、高精細なカラー表示が可能なEL表示装置の提供を課題とする。

【0027】

【課題を解決するための手段】本発明者らは、EL素子に流す電流を大きくしたい画素ほど、該画素のEL素子に電圧または電流を供給する引き回し配線の幅を大きくした。これによって、EL素子に流す電流を大きくしたい画素ほど、該画素のEL素子に電圧または電流を供給する引き回し配線の配線抵抗が小さくなる。配線抵抗が小さくなると、引き回し配線における電位降下が小さくなり、EL素子に流す電流を大きくすることが可能になる。なお実際のパネルでは、引き回し配線を配置するスペースは限られているので、各色における引き回し配線の幅の比を変えることで、各色のEL素子に流れる電流の大きさのバランスを取ることが可能である。

【0028】上記構成によって、白表示の画素の数に関わりなく、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【0029】また引き回し配線だけではなく、EL素子に流す電流を大きくしたい画素ほど、該画素のEL素子に電圧または電流を供給する電源供給線の幅の比も大きくするように設計すると、より一層高精細な画像を表示することが可能になる。

【0030】また本発明において、EL素子に大きい電流が流れる画素においてのみ、入力するビデオ信号の振幅を大きくしても良い。上記構成によって、全ての画素に不必要に大きな振幅のビデオ信号を画素に入力せず済み、消費電力を抑えることができる。

【0031】また、EL素子への電流の制御を行うEL駆動用TFTは、EL素子を発光させるために、EL駆動用TFTの駆動を制御するスイッチング用TFTよりも比較的多くの電流を流す。なおTFTの駆動を制御するとは、TFTが有するゲート電極にかかる電圧を制御することで、そのTFTをオン状態またはオフ状態にすることを意味する。特に本発明は上記構成において、電流の絶対値が大きい電源供給線に接続されている画素の

9

EL駆動用TFTには、より多くの電流が流れることになる。そのため電流の絶対値が大きい電源供給線に接続されている画素のEL駆動用TFTは、他の画素のEL駆動用TFTよりもホットキャリア注入によって早く劣化してしまうという問題が浮上してくる。

【0032】そこで本発明において、ホットキャリア注入によるEL駆動用TFTの劣化対策として、上記構成に加え、発光輝度の低い色を表示する画素のEL駆動用TFTのLDD領域の長さを、発光輝度の高い色を表示する画素のEL駆動用TFTのLDD領域の長さより長くする構成を加えても良い。

【0033】なお本明細書においてLDD領域の長さとは、ソース領域とドレイン領域を結ぶ方向におけるLDD領域の長さを意味する。

【0034】また同時に、電流の絶対値が大きい電源供給線に接続されている画素のEL駆動用TFTのチャネル幅(W)をより大きくしても良い。

【0035】図5に代表的なTFTの上面図と断面図を示す。図5(A)はTFTの上面図であり、図5(B)は図5(A)のA-A'における断面図である。

【0036】501はソース領域、502はドレイン領域、503がゲート電極である。ゲート電極503の下にはゲート絶縁膜505を介してチャネル形成領域504が設けられている。本明細書においてチャネル幅

(W)とは、ソース領域501とドレイン領域502の間に流れる電流の方向に対して垂直方向におけるチャネル領域504の長さを意味する。またチャネル長(L)とは、ソース領域501とドレイン領域502に流れる電流の方向におけるチャネル領域504の長さを意味する。

【0037】本発明は上記構成により、電源供給線を通る電流の絶対値が大きくなることによってEL駆動用TFTが制御する電流の量が増えても、EL駆動用TFTの劣化を抑えることができる。そしてなおかつ、EL素子に印加される電圧の値によって、そのEL素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。

【0038】

【発明の実施の形態】図1に本発明のEL表示装置の上面図を示す。図1(A)はEL表示装置の画素部とその駆動回路の配置を示している。101は画素部、102はソース信号線駆動回路、103はゲート信号線駆動回路、105は引き出し端子である。

【0039】画素部101は複数の画素106を有している。104は画素部101に設けられた電源供給線であり、全ての画素106が有するEL素子の画素電極に電位を与えている。電源供給線104は引き回し配線107に接続されており、引き回し配線107は引き出し端子105を介して外部の電源に接続されている。なお

(6)

10

引き回し配線107のレイアウトは図1に示した形態に限定されない。

【0040】ゲート信号線駆動回路103からゲート信号線(図示せず)に入力される選択信号によって画素106が選択される。そしてソース信号線駆動回路102からソース信号線(図示せず)に入力されるビデオ信号によって、電源供給線104の電位が選択された画素106に与えられ、画素106に画像の一部が表示される。

【0041】図1(B)に図1(A)における引き回し配線107の拡大図を示す。107rはR用引き回し配線、107gはG用引き回し配線、107bはB用引き回し配線である。

【0042】EL素子は引き回し配線と直列に接続されていることから、RGBの各色に対応する引き回し配線を通る電流の比は、RGBの各色に対応するEL層の電流密度の比に相当する。また一般的に配線抵抗はシート抵抗と配線の長さに比例し、配線の幅に反比例する。ここでシート抵抗と配線の長さは固定している。

【0043】R用の引き回し配線にかかる電圧を V_r 、G用の引き回し配線にかかる電圧を V_g 、B用の引き回し配線にかかる電圧を V_b とし、R用の引き回し配線の幅を W_r 、G用の引き回し配線の幅を W_g 、B用の引き回し配線の幅を W_b とし、R用のEL素子の電流密度を I_r 、G用のEL素子の電流密度を I_g 、B用のEL素子の電流密度を I_b とすると、オームの法則より以下の式1が成り立つ。なおaは定数である。

【0044】

$$\text{【式1】 } V_r = a \times I_r / W_r$$

$$V_g = a \times I_g / W_g$$

$$V_b = a \times I_b / W_b$$

【0045】ここで、 $V_r = V_g = V_b$ とすると、以下の式2が導き出される。

【0046】

$$\text{【式2】 } I_r / W_r = I_g / W_g = I_b / W_b$$

【0047】式2より以下の式3が導き出される。

【0048】

$$\text{【式3】 } W_r : W_g : W_b = I_r : I_g : I_b$$

【0049】よって式3より、R、G、Bの各画素の発光輝度のバランスを整えるためには、電流密度が大きいEL素子に電気的に接続された引き回し配線の幅が、電流密度が小さいEL素子に電気的に接続された引き回し配線の幅より大きくなるように設計する。望ましくは、引き回し配線の幅の比を、式3を満たすように設計する。

【0050】また引き回し配線だけではなく、EL素子に流す電流を大きくしたい画素ほど、該画素のEL素子に電圧または電流を供給する電源供給線の幅の比も、式3を満たすように設計すると、より一層高精細な画像を表示することが可能になる。

(7)

11

【0051】上記構成によって、白表示の画素の数に関わりなく、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【0052】

【実施例】（実施例1）本実施例では、EL素子に大きい電圧を必要とする画素ほど、該画素に入力するデジタル信号の振幅を大きくする例について説明する。

【0053】EL表示装置の画素において、EL駆動用TFTとEL素子の接続構成を図2に簡単に示す。202はEL駆動用TFT、203は電源供給線、206はEL素子である。EL駆動用TFT202のゲート電極は、端子201に与えられるデジタル信号が入力されている。EL駆動用TFT202のソース領域は電源供給線203に接続されており、ドレイン領域はEL素子206が有する画素電極に接続されている。

【0054】EL素子の発光輝度を高くするために電源供給線203に与えられる電流の絶対値を大きくすると、EL駆動用TFT202のオフ電流（TFTがオフの状態のときに流れる電流）が大きくなる。そのため、EL駆動用TFT202がオフの状態のときでもEL素子が発光するということが起こり得る。

【0055】本発明では、電源供給線を通る電流の絶対値が大きい画素ほど、該画素に入力される（図2の場合、具体的には端子201に入力される）デジタル信号の振幅を増幅する。増幅されたデジタル信号はEL駆動用TFT202のゲート電極に入力されるため、EL駆動用TFT202の $|V_{GS}|$ はデジタル信号が増幅される前に比べて大きくなる。よって電源供給線203の電流の絶対値を大きくしても、EL駆動用TFT202のオフ電流を抑えることができ、EL駆動用TFT202がオフの状態のときでもEL素子が発光するという事態を防ぐことが可能になる。

【0056】なお、本発明は、デジタル信号を用いて画像を表示するEL表示装置に限定されず、アナログ信号を用いて画像を表示するEL表示装置であっても良い。

【0057】（実施例2）本実施例では、実施例1で用いられるソース信号線駆動回路の具体的な構成について、例を挙げて説明する。

【0058】図3に本実施例のソース信号線駆動回路のブロック図を示す。400は画素部、401はソース信号線駆動回路である。ソース信号線駆動回路401は、シフトレジスタ回路402、第1ラッチ回路403、第2ラッチ回路404、レベルシフト回路405、バッファ回路406を有している。

【0059】シフトレジスタ回路402において生成されたタイミング信号（TS）にしたがって、ソース信号線駆動回路401の外部から第1ラッチ回路403にデジタル信号（DV）が入力され保持される。全てのビットのデジタル信号が第1ラッチ回路403に入力され保持されると、ラッチパルス（LP）にしたがって、第1

12

ラッチ回路403に保持されているデジタル信号が第2ラッチ回路404に一齐に入力され保持される。そして第1ラッチ回路403にソース信号線駆動回路401の外部からデジタル信号（DV）が入力され保持されるという動作が再び開始される。

【0060】第2ラッチ回路404に一齐に入力され保持されたデジタル信号は、レベルシフト回路405に入力され、その振幅が増幅されてレベルシフト回路から出力される。増幅する大きさは、デジタル信号が入力される画素において、電源供給線を通る電流の高さの絶対値によって異なる。デジタル信号が入力される画素において、電源供給線を通る電流の高さの絶対値が大きいほど、該画素に入力されるデジタルビデオ信号の振幅は大きく増幅されるようにする。

【0061】このように、レベルシフト回路の出力電圧、すなわちレベルシフト回路の電源電位を変えることによって、画素に入力されるデジタル信号の振幅を、各色ごとに変わることが可能になる。

【0062】上記構成によって、電源供給線の電流の絶対値を大きくしても、EL駆動用TFTのオフ電流を抑えることができ、EL駆動用TFTがオフの状態のときでもEL素子が発光するという事態を防ぐことが可能になる。

【0063】レベルシフト回路405から出力された増幅後のデジタル信号はバッファ回路406において緩衝増幅され、対応するソース信号線に入力される。

【0064】図4にレベルシフト回路405の等価回路図の一例を示す。デジタル信号はレベルシフト回路405の V_{in} から入力される。そしてデジタル信号の極性を反転させた信号は V_{inb} から入力される。また、 V_{ddh} は高電圧側電源、 V_{ss} は低電圧側電源に接続されていることを意味している。

【0065】レベルシフト回路403は、 V_{in} に入力されたデジタル信号を増幅させた信号が、 V_{out} から出力されるように設計されている。具体的には、 V_{in} に H_i のデジタル信号が入力されると V_{out} から V_{ss} 相当の信号が、 L_o のデジタル信号が入力されると V_{out} から V_{ddh} 相当の信号が出力される。

【0066】（実施例3）本実施例では、図1に示した引き回し配線107の幅の具体的な数値を示す。

【0067】本実施例では、R、G、BのEL素子の発光輝度がそれぞれ $100\text{cd}/\text{m}^2$ 、 $100\text{cd}/\text{m}^2$ 、 $50\text{cd}/\text{m}^2$ となるように、R、G、Bの有機EL材料の電流密度をそれぞれ $7.5\text{mA}/\text{cm}^2$ 、 $3\text{mA}/\text{cm}^2$ 、 $5\text{mA}/\text{cm}^2$ とした。

【0068】上述した電流密度の値から、実施の形態で示した式3より、R、G、Bに対応する画素の電源供給線の幅の比は、式4で表される。

【式4】 $W_r : W_g : W_b = 7.5 : 3 : 5$

【0069】式4にしたがって引き回し配線の幅を設計

(8)

13

すると、R、G、Bの各画素の発光輝度のバランスを整えることができる。

【0070】なお本実施例においてR、G、Bに対応する引き回し配線の幅は式4を満たしていなくとも良い。Rに対応する引き回し配線の幅を一番大きくし、Gに対応する引き回し配線の幅を一番小さくすれば良い。

【0071】上記構成によって、白表示の画素の数に関わりなく、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【0072】また引き回し配線だけではなく、Rに対応する電源供給線の幅を一番大きくし、Gに対応する電源供給線の幅を一番小さくすれば、より効果的にR、G、Bの各画素の発光輝度のバランスを整えることが可能になる。より好ましくは引き回し配線と同様に、電源供給線の幅も式4を満たすように設計すると、より一層、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【0073】なお本発明において用いられる有機EL材料の電流密度は上述した数値に限定されない。

【0074】また本実施例では、デジタル信号で表示を行うEL表示装置においてデジタル信号の振幅を増幅する例を示したが、本発明はこの構成に限定されない。アナログビデオ信号で表示を行うEL表示装置においてアナログビデオ信号の振幅を増幅する構成も本発明に含まれる。

【0075】本実施例は実施例1または実施例2と自由に組み合わせて実施することが可能である。

【0076】(実施例4) 本発明のEL表示装置は画素内にいくつのTFTを設けた構造としても良い。例えば、3つ乃至6つまたはそれ以上のTFTを設けても構
われない。本実施例では、EL表示装置が画素内に3つのTFTを設けている構成について示す。

【0077】図6において、4702はスイッチング用TFT、4701はソース信号線、4703はスイッチング用TFT 4702のゲート電極に接続されたゲート信号線、4704はEL駆動用TFT、4705はコンデンサ(省略することも可能)、4706は電源供給線、4707は電源制御用TFT、4708は電源制御用ゲート信号線、4709はEL素子とする。電源制御用TFT 4707の動作については特願2000-3
64003号を参照すると良い。

【0078】また、本実施例では電源制御用TFT 4707をEL駆動用TFT 4704とEL素子4708との間に設けているが、電源制御用TFT 4707とEL素子4708との間にEL駆動用TFT 4704が設けられた構造としても良い。また、電源制御用TFT 4707はEL駆動用TFT 4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0079】図7において、4801はソース信号線、4802はスイッチング用TFT、4803はスイッチ

14

ング用TFT 4802のゲート電極に接続されたゲート信号線、4804はEL駆動用TFT、4805はコンデンサ(省略することも可能)、4806は電源供給線、4807は消去用TFT、4808は消去用ゲート信号線、4809はEL素子とする。消去用TFT 4807の動作については特願2000-359032号を参照すると良い。

【0080】消去用TFT 4807のドレインはEL駆動用TFT 4804のゲートに接続され、EL駆動用TFT 4804のゲート電圧を強制的に変化させることができるようになってい
る。なお、消去用TFT 4807はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT 4802と同一構造とすることが好ましい。

【0081】本実施例は実施例1～実施例3と自由に組み合わせて実施することが可能である。

【0082】(実施例5) 本実施例では、本発明のEL表示装置において、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT(nチャネル型TFT及びpチャネル型TFT)を同時に作製する方法について詳細に図8～図11を用いて説明する。

【0083】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板300を用いる。なお、基板300としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0084】次いで、基板300上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜301を形成する。本実施例では下地膜301として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜301の一層目としては、プラズマCVD法を用い、 SiH_4 、 N_2O 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜301aを10～200nm(好ましくは50～100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜301a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜301の二層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜301bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜301b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0085】次いで、下地膜上に半導体層302～305を形成する。半導体層302～305は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCV

(9)

15

D法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層302~305の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x=0.0001\sim0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層302~305を形成した。

【0086】また、半導体層302~305を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0087】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90%として行えばよい。

【0088】次いで、半導体層302~305を覆うゲート絶縁膜306を形成する。ゲート絶縁膜306はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0089】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)

16

とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0090】次いで、図8(A)に示すように、ゲート絶縁膜306上に膜厚20~100nmの第1の導電膜307と、膜厚100~400nmの第2の導電膜308とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜307と、膜厚370nmのW膜からなる第2の導電膜308を積層形成した。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%または99.99%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができた。

【0091】なお、本実施例では、第1の導電膜307をTa₂N、第2の導電膜308をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0092】次に、図8(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク309~312を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれ

(10)

17

のガス流量比を25/25/10 (sccm) とし、1 Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製のICPを用いたドライエッチング装置 (Model E645-□ICP) を用いた。基板側 (試料ステージ) にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、Ta₂N₅に対するエッチング速度は80.32nm/minであり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0093】この後、図8 (B) に示すようにレジストからなるマスク309~312を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側 (試料ステージ) にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N₅膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta₂N₅に対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0094】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層314~317 (第1の導電層314a~317aと第2の導電層314b~317b) を形成する。319はゲート絶縁膜であり、第1の形状の導電層314~317で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0095】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図8 (B)) ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ atoms/cm²とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を 1.5×1

18

0.15 atoms/cm²とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、導電層314~317がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域320~323が形成される。高濃度不純物領域320~323には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度範囲でn型を付与する不純物元素を添加する。

10 【0096】次いで、図8 (C) に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20/20/20 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62nm/min、Ta₂N₅に対するエッチング速度は20.67nm/minであり、Ta₂N₅に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層324b~327bを形成する。一方、第1の導電層314a~317aは、ほとんどエッチングされず、第1の導電層324a~327aを形成する。

20 【0097】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層324b~327bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP (リン) を用い、ドーズ量 1.5×10^{14} 、電流密度0.5μA、加速電圧90keVにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域329~332を自己整合的に形成する。この低濃度不純物領域329~332へ添加されたリン (P) の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度の不純物元素が添加された高濃度不純物領域333~336を形成する。

40 【0098】次いで、図9 (B) に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするため

50

(11)

19

に行われる。ただし、第3のエッチングを行わない領域には、図9 (B) に示すようにレジストからなるマスク338を形成する。

【0099】第3のエッチング処理におけるエッチング条件は、エッチングガスとして Cl_2 と SF_6 とを用い、それぞれのガス流量比を10/50 (sccm) として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTaNに対するエッチング速度は、111.2nm/minであり、ゲート絶縁膜に対するエッチング速度は、12.8nm/minである。

【0100】本実施例では、1.3Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも10WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層340a~342aが形成される。

【0101】上記第3のエッチングによって、第1の導電層340a~342aと重ならない不純物領域 (LDD領域) 343~345が形成される。なお、不純物領域 (GOLD領域) 346は、第1の導電層324aと重なったままである。

【0102】また、第1の導電層324aと第2の導電層324bとで形成された電極は、最終的に駆動回路のnチャネル型TFTのゲート電極となり、また、第1の導電層340aと第2の導電層340bとで形成された電極は、最終的に駆動回路のpチャネル型TFTのゲート電極となる。

【0103】同様に、第1の導電層341aと第2の導電層341bとで形成された電極は、最終的に画素部のnチャネル型TFTのゲート電極となり、第1の導電層342aと第2の導電層342bとで形成された電極は、最終的に画素部のpチャネル型TFTのゲート電極となる。

【0104】このようにして、本実施例は、第1の導電層340a~342aと重ならない不純物領域 (LDD領域) 343~345と、第1の導電層324aと重なる不純物領域 (GOLD領域) 346を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0105】次にゲート絶縁膜319をエッチング処理する。ここでのエッチング処理は、エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (RIE法) を用いて行う。本実施例では、チャンバー圧力6.7Pa、RF電力800W、 CHF_3 ガス流量35sccmで第3のエッチング処理を行った。

【0106】これにより、高濃度不純物領域333~336の一部は露呈し、絶縁膜356a~356dが形成される。

【0107】次いで、レジストからなるマスクを除去し

20

た後、新たにレジストからなるマスク348、349を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型 (n型) とは逆の導電型 (p型) を付与する不純物元素が添加された不純物領域350~353を形成する。(図9 (C)) 第1の導電層340aおよび342aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0108】本実施例では、不純物領域350~353はジボラン (B_2H_6) を用いたイオンドープ法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク348、349で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域350~353にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0109】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0110】次いで、レジストからなるマスク348、349を除去して第1の層間絶縁膜357を形成する。この第1の層間絶縁膜357としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜357は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0111】次いで、図10 (A) に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の酸素雰囲気中で400~700℃、代表的には500~550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) を適用することができる。

【0112】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域 (334~336、350、351) にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

(12)

21

【0113】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0114】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜を形成させても良い。

【0115】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0116】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0117】次いで、図10(B)に示すように第1の層間絶縁膜357上に有機絶縁物材料から成る第2の層間絶縁膜358を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各不純物領域333、335、350、351に達するコンタクトホールを形成するためのパターニングを行う。

【0118】第2の層間絶縁膜358としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0119】本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1～5μm（さらに好ましくは2～4μm）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。

【0120】また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0121】さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜及び第2層間絶縁膜を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜を形成する材料は、第1層間絶縁膜を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0122】そして、各不純物領域333、335、350、351とそれぞれ電氣的に接続する配線359～

22

366を形成する。そして、膜厚50nmのTi膜と、膜厚50.0nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0123】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって透明電極367を形成する。（図10(B)）

【0124】なお、本実施例では、透明電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0125】また、透明電極367は、ドレイン配線365と接して重ねて形成することによってEL駆動用FTのドレイン領域と電氣的な接続が形成される。

【0126】次に、図11に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、透明電極367に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜368を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとならば、起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0127】なお、本実施例においては、第3の層間絶縁膜として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【0128】次に、図11で示すようにEL層369を蒸着法により形成し、更に蒸着法により陰極（MgAg電極）370および保護電極371を形成する。このときEL層369及び陰極370を形成するに先立って透明電極367に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではEL素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

【0129】なお、EL層369としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造をEL層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0130】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30～40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0131】また、保護電極371でもEL層369を

(13)

23

水分や酸素から保護することは可能であるが、さらに好ましくはパッシベーション膜372を設けると良い。本実施例ではパッシベーション膜372として300nm厚の窒化珪素膜を設ける。このパッシベーション膜も保護電極371の後に大気解放しないで連続的に形成しても構わない。

【0132】また、保護電極371は陰極370の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL層369、陰極370は非常に水分に弱いので、保護電極371までを大気解放しないで連続的に形成し、外気からEL層を保護することが望ましい。

【0133】なお、EL層369の膜厚は10~400[nm] (典型的には60~150[nm])、陰極370の厚さは80~200[nm] (典型的には100~150[nm])とすれば良い。

【0134】こうして図11に示すような構造のEL表示装置が完成する。なお、本実施例におけるEL表示装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0135】また、nチャネル型TFT501及びpチャネル型TFT502を有する駆動回路506と、スイッチング用TFT503及びEL駆動用TFT504を有する画素部507を同一基板上に形成することができる。

【0136】駆動回路506のnチャネル型TFT501はチャンネル形成領域380、ゲート電極の一部を構成する第1の導電層324aと重なる低濃度不純物領域329 (GOLD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域333を有している。pチャネル型TFT502にはチャンネル形成領域373、ゲート電極の一部を構成する第1の導電層340aと重ならない不純物領域352、ソース領域またはドレイン領域として機能する不純物領域350を有している。

【0137】画素部507のスイッチング用TFT503にはチャンネル形成領域374、ゲート電極を形成する第1の導電層341aと重ならず、ゲート電極の外側に形成される低濃度不純物領域344 (LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域335を有している。

【0138】画素部507のEL駆動用TFT504にはチャンネル形成領域375、ゲート電極の一部を構成する第1の導電層327aと重ならない不純物領域353、ソース領域またはドレイン領域として機能する高濃度不純物領域351を有している。

【0139】(実施例6) 本実施例では、本発明を用い

24

てEL表示装置を作製した例について、図16、図17を用いて説明する。

【0140】図16(A)は本発明のEL表示装置のTFT基板の上面図を示している。なお本明細書においてTFT基板とは、画素部が設けられている基板を意味する。

【0141】基板4001上に、画素部4002と、ソース信号線駆動回路4003と、第1のゲート信号線駆動回路4004aと、第2のゲート信号線駆動回路4004bとが設けられている。なお本発明においてソース信号線駆動回路とゲート信号線駆動回路の数は図16

(A)に示した数に限定されない。ソース信号線駆動回路とゲート信号線駆動回路の数は、設計者が適宜設定することが可能である。また、本実施例ではソース信号線駆動回路とゲート信号線駆動回路とをTFT基板上に設けているが、本発明はこの構成に限定されない。TFT基板とは別の基板上に設けたソース信号線駆動回路とゲート信号線駆動回路とを、FPC、TAB等の外部接続端子により画素部と電氣的に接続するようにしても良い。

【0142】4005aは画素部4002に設けられた電源供給線 (図示せず) に接続された引き回し配線である。4005bは第1及び第2のゲート信号線駆動回路4004a、4004bに接続されたゲート用引き回し配線である。また4005cはソース信号線駆動回路4003に接続されたソース用引き回し配線である。

【0143】ゲート用引き回し配線4005bと、ソース用引き回し配線4005cとは、基板4001の外部に設けられたIC等に、FPC4006を介して接続されている。また引き回し配線4005aは、基板4001の外部に設けられた電源にFPC4006を介して接続されている。

【0144】引き回し配線4005aの拡大図を図16(B)に示す。4100はR用引き回し配線、4101はG用引き回し配線、4102はB用引き回し配線である。

【0145】R用EL素子のEL層の電流密度と、G用EL素子のEL層の電流密度と、B用EL素子のEL層の電流密度の比が1.15:1.29:1とすると、本発明ではR用引き回し配線4100の幅Wrと、G用引き回し配線4101の幅Wgと、B用引き回し配線4102の幅Wbは、 $W_g > W_r > W_b$ であることが重要である。実施の形態において示した式3より、より好ましくは $W_r : W_g : W_b \approx 1.15 : 1.29 : 1$ であることが望ましい。

【0146】本発明の上記構成によって、白表示の画素の数に関わりなく、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【0147】図17(A)は、図16(A)に示したTFT基板をシーリング材によって封止することによって

(14)

25

形成されたEL表示装置の上面図であり、図17(B)は、図17(A)のA-A'における断面図、図17(C)は図17(A)のB-B'における断面図である。なお図16において既に示したものは、同じ符号を用いて示す。

【0148】基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0149】また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図17(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれるEL駆動用TFT(EL素子に流れる電流を制御するTFT)4202を図示した。

【0150】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、EL駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002にはEL駆動用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0151】駆動TFT4201及びEL駆動用TFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にEL駆動用TFT4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0152】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上にはEL(エレクトロルミネッセンス)層4204が形成される。EL層4204は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー

26

系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0153】EL層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0154】EL層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205とEL層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、EL層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0155】以上のようにして、画素電極(陽極)4203、EL層4204及び陰極4205からなるEL素子4303が形成される。そしてEL素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、EL素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0156】4005aは電源供給線に接続された引き回し配線であり、EL駆動用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0157】シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0158】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0159】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シ

(15)

27

リコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0160】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、EL素子4303の劣化を抑制できる。

【0161】図17（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0162】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0163】本実施例は、実施例1～実施例5と自由に組み合わせて実施することが可能である。

（実施例7）本実施例では、基板上にTFTとEL素子とをシーリング材で封止した後、基板を付けかえる例について、図18を用いて説明する。なお、図18に示したのは画素部における作製工程を示す断面図である。

【0164】図18（A）において、3101は素子が形成される基板（以下、素子形成基板という）であり、その上には非晶質シリコン膜からなる剥離層3102が100～500nm（本実施例では300nm）の厚さに形成される。本実施例では素子形成基板3101としてガラス基板を用いるが、石英基板、シリコン基板、金属基板（SUS基板）もしくはセラミックス基板を用いても構わない。

【0165】また、剥離層3102の成膜は減圧熱CVD法、プラズマCVD法、スパッタ法もしくは蒸着法を用いれば良い。剥離層3102の上には酸化シリコン膜からなる絶縁膜3103が200nmの厚さに形成される。絶縁膜3103の形成は減圧熱CVD法、プラズマCVD法、スパッタ法もしくは蒸着法を用いれば良い。

【0166】また、絶縁膜3103の上には画素部のスイッチング用TFT3104及びEL駆動用TFT3105が形成されている。なお本実施例では、スイッチング用TFT3104がnチャネル型TFTでEL駆動用

28

TFT3105がpチャネル型TFTである例を示したが、本実施例はこの構成に限定されない。スイッチング用TFT3104とEL駆動用TFT3105はpチャネル型TFTとnチャネル型TFTのどちらでも良い。

【0167】また本実施例では、スイッチング用TFT3104がダブルゲート構造になっているが、スイッチング用TFTはこの構造に限定されず、シングルゲート構造またはその他のマルチゲート構造であっても良い。本実施例のようにダブルゲート構造とすることで、二つのチャネル形成領域が直列に接続された構造となり、オフ電流値（TFTがオフされた時に流れる電流）を効果的に抑制することができる。

【0168】スイッチング用TFT3104及びEL駆動用TFT3105上に、第1層間絶縁膜3107が形成されている。第1層間絶縁膜3107は後に形成される画素電極3106が平坦化するように、スイッチング用TFT3104及びEL駆動用TFT3105を覆って形成される

【0169】また、EL駆動用TFT3105のドレイン領域に電気的に接続するように、画素電極3106が形成される。本実施例において画素電極3106は、透明導電膜（代表的には酸化インジウムと酸化スズとの化合物膜）を100nmの厚さに形成し、パターニングにより形成される。画素電極3106はEL素子の陽極として機能する。

【0170】画素電極3106を形成した後、酸化シリコン膜からなる第2層間絶縁膜3114が300nmの厚さに形成される。そして、開口部3108を形成し、70nm厚のEL層3109及び300nm厚の陰極3110を蒸着法により形成する。本実施例ではEL層3109として20nm厚の正孔注入層及び50nm厚の発光層を積層した構造を用いる。勿論、発光層に正孔注入層、正孔輸送層、電子輸送層もしくは電子注入を組み合わせた公知の他の構造を用いても良い。

【0171】以上のようにして、画素電極（陽極）3106、EL層3109及び陰極3110からなるEL素子3111が形成される。本実施例ではこのEL素子3111が発光素子として機能する。

【0172】次に、第1接着剤3112により素子を固定するための基板（以下、シーリング材という）3113を貼り合わせる。本実施例ではシーリング材3113として可撓性のプラスチックフィルムを用いるが、ガラス基板、石英基板、プラスチック基板、シリコン基板もしくはセラミックス基板を用いても良い。また、第1接着剤3112としては、後に剥離層3102を除去する際に選択比のとれる材料を用いる必要がある。

【0173】代表的には樹脂からなる絶縁膜を用いることができ、本実施例ではポリイミドを用いるが、アクリル、ポリアミドもしくはエポキシ樹脂を用いても良い。なお、EL素子から見て観測者側（発光装置の使用者

(16)

29

側)に位置する場合は、光を透過する材料であることが必要である。

【0174】第1接着剤3112により、EL素子を完全に大気から遮断することができる。これにより酸化による有機EL材料の劣化をほぼ完全に抑制することができ、EL素子の信頼性を大幅に向上させることができる。

【0175】次に、図18(B)に示すように、剥離層3102を除去し、素子形成基板3101と絶縁膜3103とを剥離する。本実施例ではフッ化ハロゲンを含むガス中に剥離層3102を晒し、剥離を行う。本実施例ではフッ化ハロゲンとして三フッ化塩素(CF₃)を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に500 sccm (8.35×10⁻⁶ m³/s)とし、反応圧力は1~10 Torr (1.3×10²~1.3×10³ Pa)とすれば良い。また、処理温度は室温(典型的には20~27℃)で良い。

【0176】この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで剥離層3102が選択的にエッチングされ、最終的には完全に除去される。なお、同じくシリコン膜で形成されているスイッチング用TFT 3104及びEL駆動用TFT 3105の活性層は第1層間絶縁膜3107に覆われているため三フッ化塩素ガスに晒されることがなく、エッチングされることはない。

【0177】本実施例の場合、剥離層3102は露呈した端部から徐々にエッチングされていき、完全に除去された時点で素子形成基板3101と絶縁膜3103が分離される。このとき、TFT及びEL素子は薄膜を積層して形成されているが、シーリング材3113に移された形で残る。

【0178】なお、ここでは剥離層3102が端部からエッチングされていくことになるが、素子形成基板3101が大きくなると完全に除去されるまでの時間が長くなり好ましいものではない。従って、エッチングで除去する場合は素子形成基板3101が対角3インチ以下(好ましくは対角1インチ以下)の場合に実施することが望ましい。

【0179】なお本実施例では剥離層3102を三フッ化塩素ガス雰囲気下においてエッチングすることで除去したが、本実施例はこの構成に限定されない。素子形成基板3101側から剥離層3102にレーザー光を照射し、剥離層3102を気化させることで素子形成基板3101を剥離するようにしても良い。この場合、レーザー光が素子形成基板3101を通過するように、レーザー光の種類と素子形成基板3101の材質とを適宜選択する必要がある。例えば素子形成基板3101に石英基

30

板を用いるならば、YAGレーザー(基本波(1064 nm)、第2高調波(532 nm)、第3高調波(355 nm)、第4高調波(266 nm))あるいはエキシマレーザー(波長308 nm)を用い、線状ビームを形成し、石英基板を通過させれば良い。なお、エキシマレーザーはガラス基板を通過しない。したがって、素子形成基板3101としてガラス基板を用いるのであれば、YAGレーザーの基本波、第2高調波、第3高調波を用い、好ましくは第2高調波(波長532 nm)を用いて線状ビームを形成し、ガラス基板を通過させれば良い。

【0180】またレーザー光を用いて剥離を行う場合、剥離層3102として照射するレーザー光で気化するものを用いる。

【0181】また、レーザー光を用いる方法のほかに、剥離層3102を溶液によって溶解させることで素子形成基板3101を剥離するようにしても良い。この場合、剥離層3102だけが選択的に溶解するような溶液を用いることが好ましい。

【0182】こうしてシーリング材3113にTFT及びEL素子に移したら、図18(C)に示すように、第2接着剤3114を形成し、第2素子形成基板3115を貼り合わせる。第2接着剤3114としては樹脂からなる絶縁膜(代表的にはポリイミド、アクリル、ポリアミドもしくはエポキシ樹脂)を用いても良いし、無機絶縁膜(代表的には酸化シリコン膜)を用いても良い。なお、EL素子から見て観測者側に位置する場合は、光を透過する材料であることが必要である。

【0183】こうして素子形成基板3101から第2素子形成基板3115へとTFT及びEL素子に移される。その結果、シーリング材3113、と第2素子形成基板3115によって挟まれたEL表示装置を得ることができる。ここでシーリング材3113と第2素子形成基板3115を同一材料とすると熱膨張係数が等しくなるので、温度変化による応力歪みの影響を受けにくくすることができる。

【0184】本実施例により作製されたEL表示装置は、シーリング材3113と第2素子形成基板3115の材料を、TFTのプロセス時における耐熱性に左右されることなく選択することができる。例えばシーリング材3113と第2素子形成基板3115としてプラスチック基板を用いることができ、フレキシブルなEL表示装置を作成することも可能である。

【0185】なお本実施例は、実施例1~6に示した構成と、自由に組み合わせて実施することが可能である。

【0186】(実施例8)本実施例では、EL表示装置の表面全体またはEL表示装置の端部に、DLC膜を形成する例について説明する。

【0187】図19(A)は表面全体にDLC膜を形成したEL表示装置の断面図である。基板3201上にスイッチング用TFT 3205と、EL駆動用TFT 32

(17)

31

04とが形成されている。3203はEL素子であり、EL駆動用TFT3204によってEL素子3203に流れる電流が制御される。

【0188】スイッチング用TFT3205、EL駆動用TFT3204及びEL素子3203はシーリング材3202とシール材3208によって密封されており、外気から遮断されている。3209は引き回し配線であり、シール材3208と基板3201との間を通して、EL素子3203が密封された空間の外に露出している。

【0189】3210はDLC膜であり、EL素子3203が密封された空間の外に露出している引き回し配線3209の一部を除いて、EL表示装置全体を覆っている。

【0190】なお本実施例においてDLC膜の成膜は、ECRプラズマCVD法、RFプラズマCVD法、 μ 波プラズマCVD法もしくはスパッタ法を用いれば良い。DLC膜の特徴としては、 1550 cm^{-1} くらいに非対称のピークを有し、 1300 cm^{-1} くらいに肩を持つラマンスペクトル分布を有する。また微小硬度計で測定した時に $15\sim 25\text{ GPa}$ の硬度を示すという特徴をもつ。このような炭素膜は基板の表面を保護する特徴を有する。特にプラスチック基板の場合、傷がつきやすいことから、図19(A)のように表面をDLC膜で覆うことは傷を防ぐのに有効である。

【0191】またDLC膜は、酸素および水の進入を防ぐのに有効である。よって本実施例のようにシール材3208を覆うようにDLC膜3210を形成することによって、外部からの水分や酸素等の、EL層の劣化を促す物質が、EL素子3203が密封されている空間に進入するのを防ぐことができる。

【0192】なお、DLC膜3210を形成する際に、EL素子3203が密封された空間の外に露出している引き回し配線3209の一部を、レジストマスク等で覆うようにし、DLC膜3210形成後該レジストマスクを除去する。DLC膜3210に覆われていない引き回し配線3209の一部は、異方性導電膜3213によって、FPC3211に設けられたFPC用配線3211に接続される。

【0193】図19(B)は、EL表示装置の端部にDLC膜を形成した場合の、EL表示装置の断面図である。基板3301上にスイッチング用TFT3305と、EL駆動用TFT3304とが形成されている。3303はEL素子であり、EL駆動用TFT3304によってEL素子3303に流れる電流が制御される。

【0194】スイッチング用TFT3305、EL駆動用TFT3304及びEL素子3303はシーリング材3302とシール材3308によって密封されており、外気から遮断されている。3309は引き回し配線であり、シール材3308と基板3301との間を通して、

32

EL素子3303が密封された空間の外に露出している。

【0195】3310はDLC膜であり、EL素子3303が密封された空間の外に露出している引き回し配線3309の一部を除いて、シーリング材3302の一部と、基板3301の一部と、シール材3308とを覆って形成されている。

【0196】DLC膜3310は、酸素および水の進入を防ぐのに有効である。よって本実施例のようにシール材3308を覆うようにDLC膜3310を形成することによって、外部からの水分や酸素等の、EL層の劣化を促す物質が、EL素子3303が密封されている空間に進入するのを防ぐことができる。

【0197】図19(B)で示したEL表示装置は、EL表示装置の端部(シール材を含む部分)にのみDLC膜3310を形成しているため、DLC膜3310の成膜が容易である。

【0198】なお、DLC膜3310を形成する際に、EL素子3303が密封された空間の外に露出している引き回し配線3309の一部を、レジストマスク等で覆うようにし、DLC膜3310形成後該レジストマスクを除去する。DLC膜3310に覆われていない引き回し配線3309の一部は、異方性導電膜3313によって、FPC3311に設けられたFPC用配線3311に接続される。

【0199】なお本実施例は、実施例1～7に示した構成と、自由に組み合わせて実施することが可能である。

【0200】(実施例9)本発明を実施して形成されたEL表示装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のELディスプレイ(EL表示装置を筐体に組み込んだ電子機器)の表示部として本発明のEL表示装置を用いるとよい。

【0201】なお、EL表示装置には、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明のEL表示装置を用いることができる。

【0202】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるデ

(18)

33

ディスプレイを備えた装置)などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、EL表示装置を用いることが望ましい。それら電子機器の具体例を図12、図13に示す。

【0203】図12(A)はELディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明のEL表示装置は表示部2003に用いることができる。EL表示装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。

【0204】図12(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明のEL表示装置は表示部2102に用いることができる。

【0205】図12(C)は頭部取り付け型の発光装置の一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明のEL表示装置は表示部2206に用いることができる。

【0206】図12(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)2304は主として画像情報を表示し、表示部(b)2305は主として文字情報を表示するが、本発明のEL表示装置はこれら表示部(a)、(b)2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0207】図12(E)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2401、表示部2402、アーム部2403を含む。本発明のEL表示装置は表示部2402に用いることができる。

【0208】図12(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明のEL表示装置は表示部2503に用いることができる。

【0209】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0210】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、EL表示装置は動画表示に好まし

34

い。

【0211】また、EL表示装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にEL表示装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0212】図13(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0213】また、図13(B)は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部2702は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0214】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~8に示したいずれの構成のEL表示装置を用いても良い。

【0215】

【発明の効果】

【0216】本発明の構成によって、白表示の画素の数に関わりなく、R、G、Bの各画素の発光輝度のバランスを整えることが可能になる。

【0217】また本発明では、EL素子に大きい電圧がかかる画素は、入力するビデオ信号の振幅を大きくしても良い。上記構成によって、電源供給線の電圧を高くした際に、EL駆動用TFTのオフ電流が増加するのを防ぐことができる。

【0218】また同時に、電流の絶対値が大きい電源供給線に接続されている画素のEL駆動用TFTのチャネル幅(W)をより大きくしても良い。本発明は上記構成により、電源供給線を流れる電流の絶対値が大きくなることによってEL駆動用TFTが制御する電流の量が増えても、EL駆動用TFTの劣化を抑えることができる。そしてなおかつ、EL素子に印加される電圧の値によって、そのEL素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。

【図面の簡単な説明】

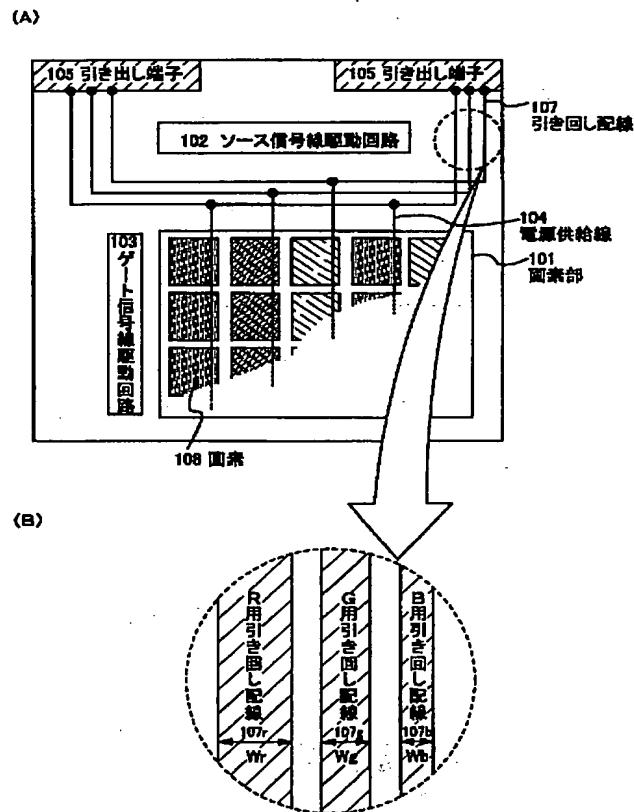
【図1】 本発明のEL表示装置の構成を示す図。

(19)

35

- 【図2】 EL表示装置の画素構成を示す図。
 【図3】 本発明のEL表示装置のソース信号線駆動回路のブロック図。
 【図4】 レベルシフト回路の等価回路図。
 【図5】 TFTの上面図及び断面図。
 【図6】 EL表示装置の画素の回路図。
 【図7】 EL表示装置の画素の回路図。
 【図8】 EL表示装置の作製工程を示す図。
 【図9】 EL表示装置の作製工程を示す図。
 【図10】 EL表示装置の作製工程を示す図。
 【図11】 EL表示装置の作製工程を示す図。
 【図12】 電子機器の具体例を示す図。
 【図13】 電子機器の具体例を示す図。
 【図14】 従来のEL表示装置の構成を示す図。
 【図15】 有機EL材料の電圧-輝度特性を示す図。
 【図16】 本発明のEL表示装置のTFT基板の上面図。

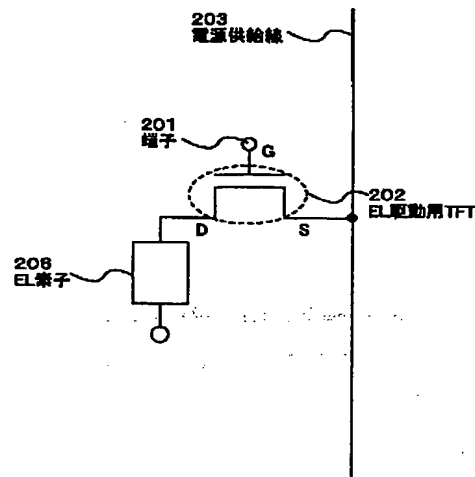
【図1】



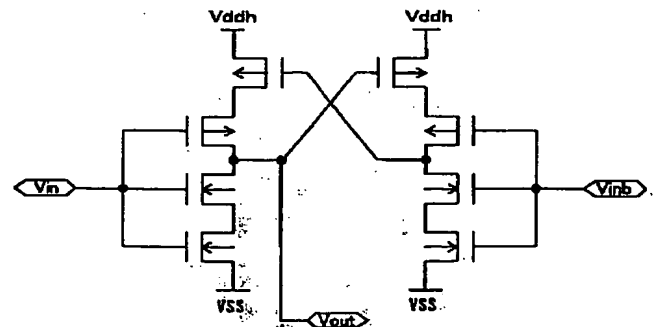
36

- 【図17】 本発明のEL表示装置の概観図及び断面図。
 【図18】 本発明のEL表示装置の作成工程を示す図。
 【図19】 DLC膜を用いた本発明のEL表示装置の断面図。
 【符号の説明】
 101 画素部
 102 ソース信号線駆動回路
 103 ゲート信号線駆動回路
 104 電源供給線
 105 引き出し端子
 106 画素
 107 引き回し配線
 107r R用引き回し配線
 107g G用引き回し配線
 107b B用引き回し配線

【図2】

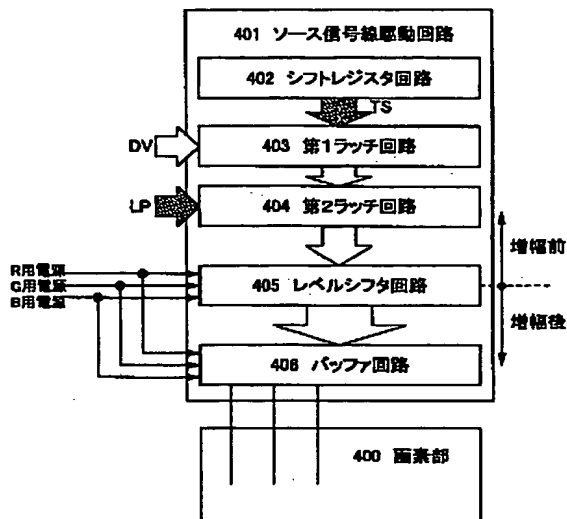


【図4】

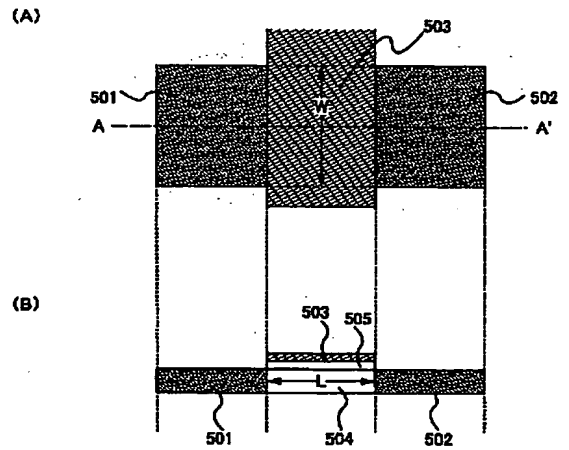


(20)

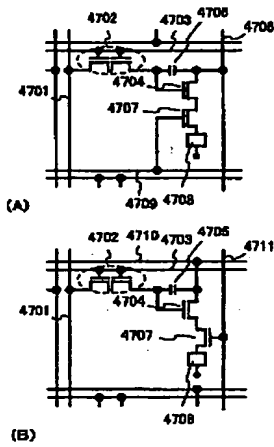
【図3】



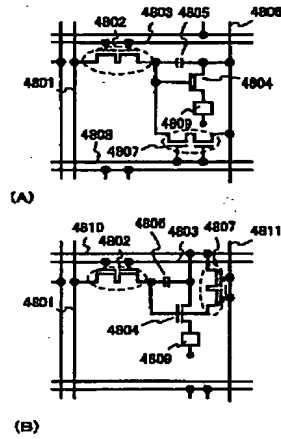
【図5】



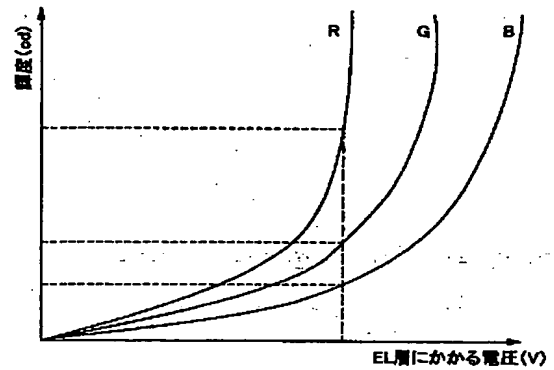
【図6】



【図7】

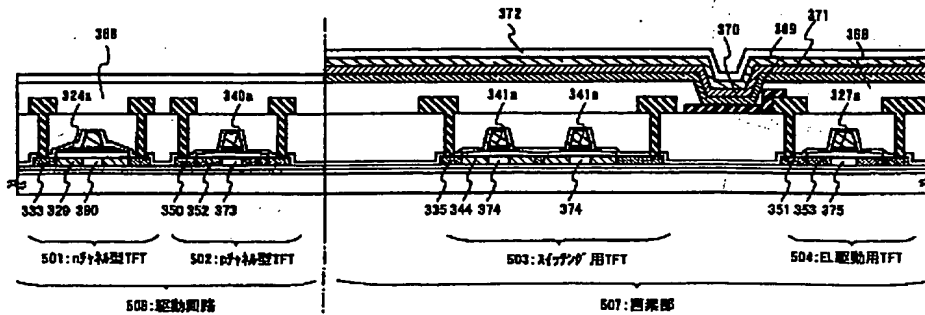


【図15】



【図11】

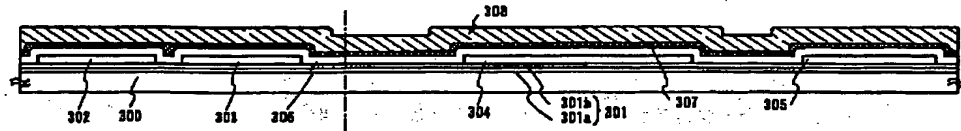
図3の層間絶縁膜、EL層、陰極、A'ゲート電極形成



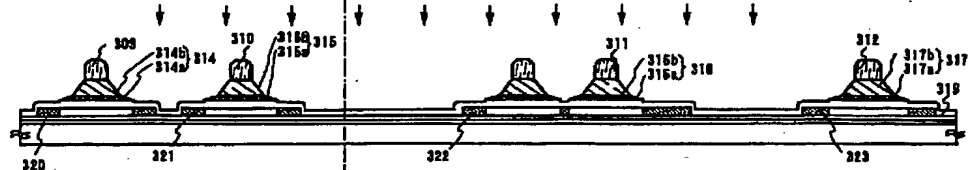
(21)

【図8】

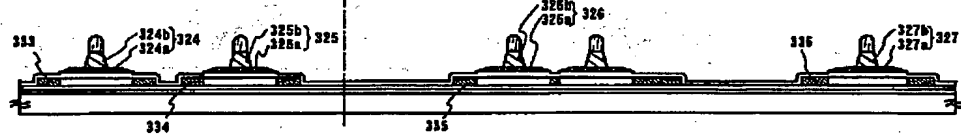
(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理/第1のドーピング処理

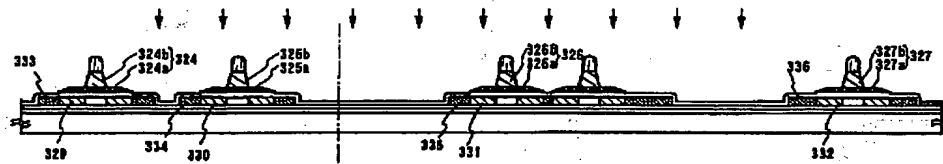


(C) 第2のエッチング処理

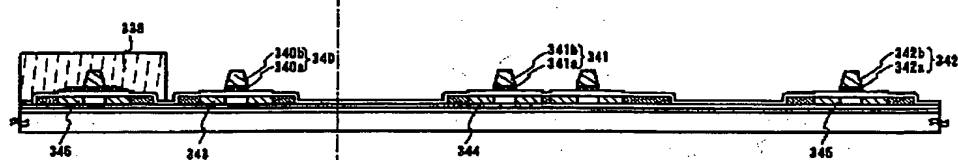


【図9】

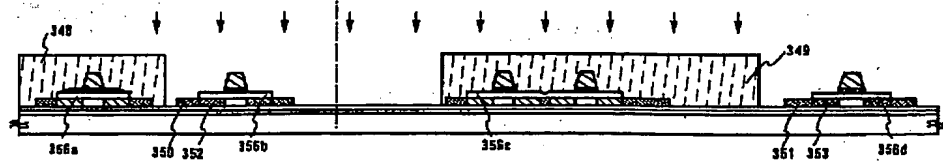
(A) 第2のドーピング処理



(B) 第3のエッチング処理



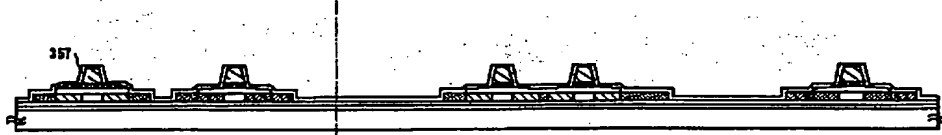
(C) 第3のドーピング処理



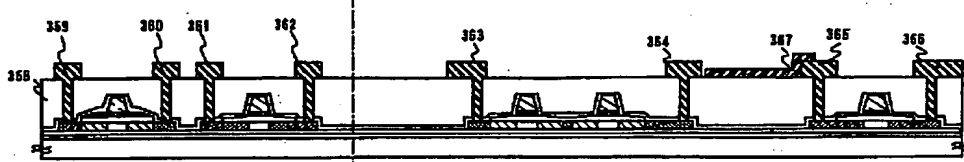
(22)

【図10】

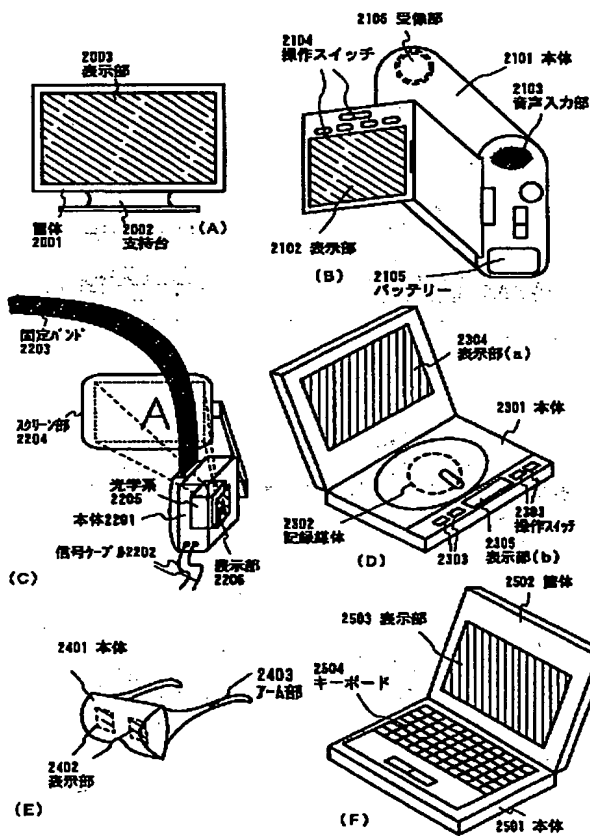
(A) 第1の層間絶縁膜形成、活性化処理



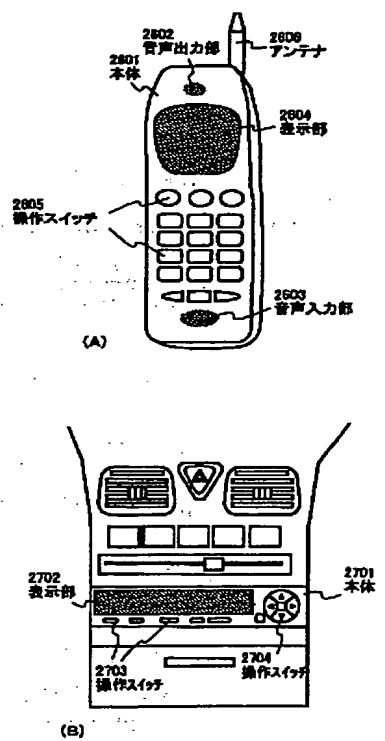
(B) 第2の層間絶縁膜、配線、面電極形成



【図12】

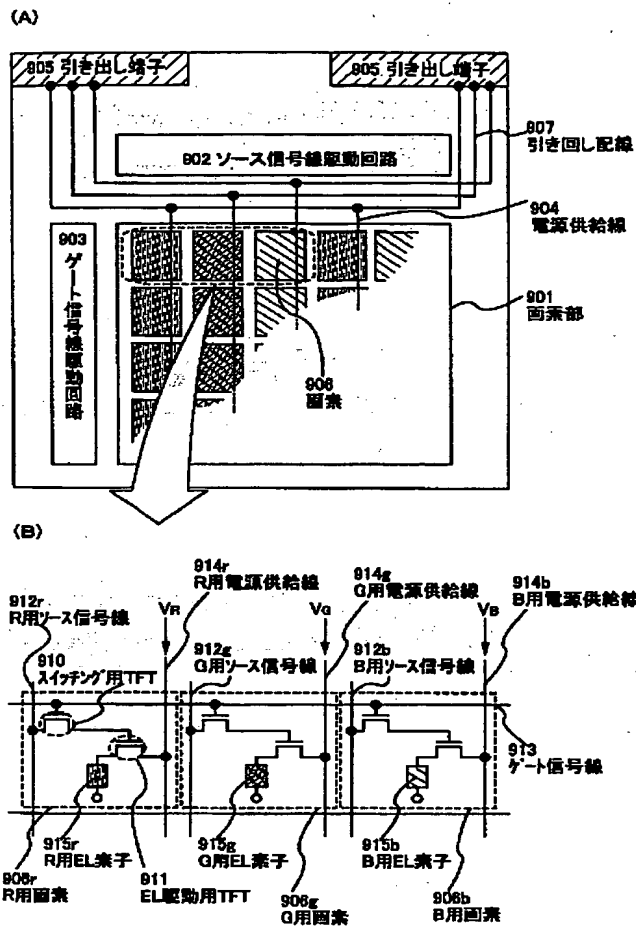


【図13】

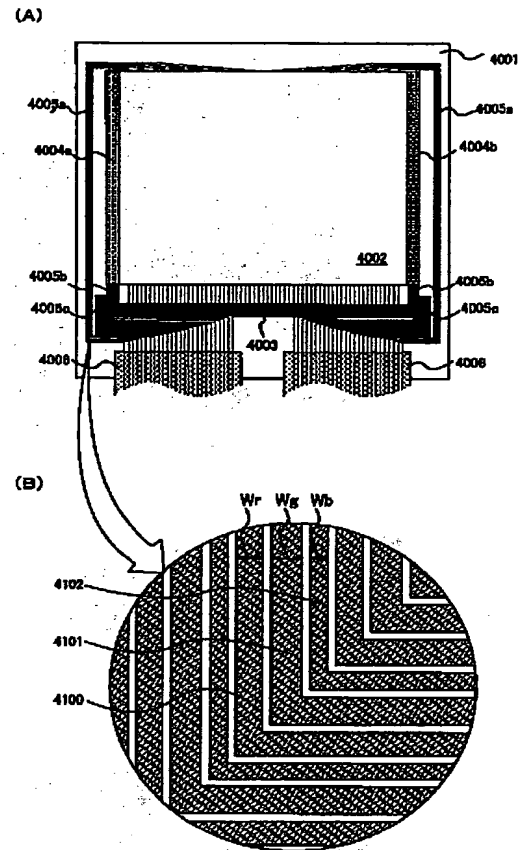


(23)

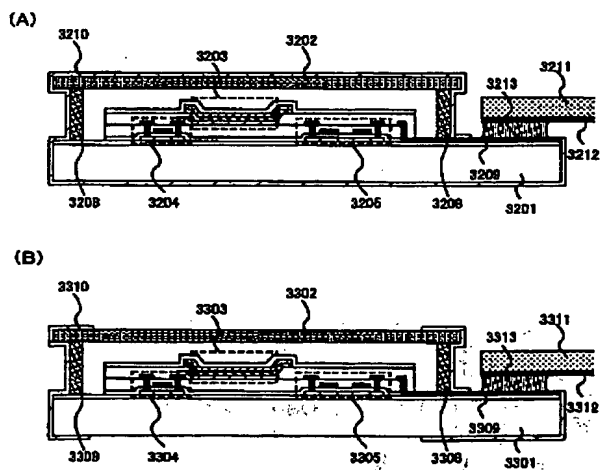
【図14】



【図16】

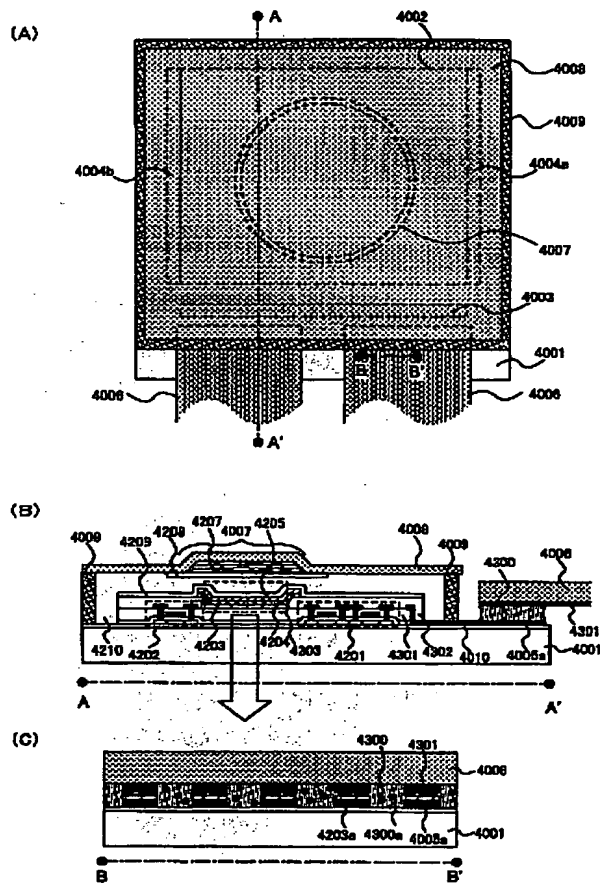


【図19】

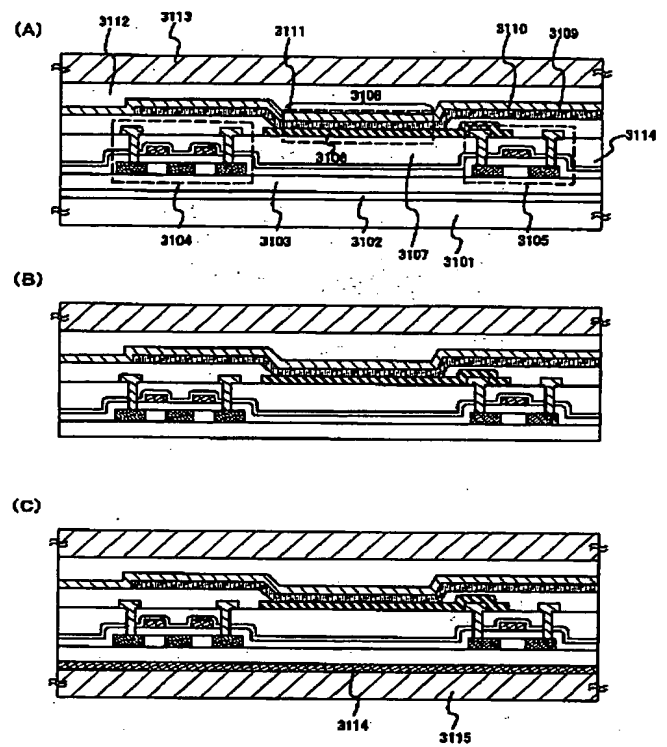


(24)

【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H 0 5 B 33/12

H 0 5 B 33/12

B

33/14

33/14

A

// G 0 9 G 3/20

6 2 1

G 0 9 G 3/20

6 2 1 M

6 4 2

6 4 2 L

3/30

3/30

K

(72) 発明者 納 光明

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(25)

F ターム(参考) 3K007 AB04 AB17 BA06 BB01 BB04
BB05 BB07 CA01 CB01 CC00
DA01 DB03 EA01 EB00 GA04
5C080 AA06 BB05 CC03 DD05 EE30
FF11 GG07 GG08 JJ02 JJ03
JJ06 KK02 KK07 KK43
5C094 AA04 AA07 AA08 AA21 AA48
AA55 BA03 BA12 BA27 CA19
CA24 DA09 DA13 DB01 DB02
DB04 DB10 EA04 EA05 EA07
EB02 FA01 FB12 FB14 FB15
GA10 HA08 HA10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.